

(19) **KG** (11) **261** (13) **C1**

ГОСУДАРСТВЕННОЕ АГЕНТСТВО
ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ
ПРИ ПРАВИТЕЛЬСТВЕ КЫРГЫЗСКОЙ РЕСПУБЛИКИ (КЫРГЫЗПАТЕНТ)

(51)⁶ **G08G 1/08**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ

к предварительному патенту Кыргызской Республики

(21) 970008.1

(22) 24.01.1997

(46) 30.09.1998, Бюл. №3, 1998

(76) Андреев В.А., Торопцев В.И. (KG)

(56) Контроллер дорожный ДКМП-1М, Га3.035.258 ТО. Техническое описание и инструкция по эксплуатации, 1987

(54) **Устройство для регулирования движения**

(57) Изобретение может быть использовано для регулирования движения транспортных средств. Задача изобретения - повышение надежности устройства за счет поддержания рабочего температурного режима в устройстве и контроля работоспособности устройства светофорного объекта с высокой достоверностью, исключающей возможность возникновения конфликтных ситуаций на перекрестке. Устройство для регулирования движения содержит вычислительный блок 1, контроллеры хода программы 5, контроллер задания режимов 7, блок ключей 4, источник писания 8, блок источников света (светофорный объект) 9. В устройство введены контроллер управления температурным режимом 2, блок анализаторов тока 6 и блок компараторов 3, компараторы нуля фазы которого соединены по питанию через предохранитель ключа 4 с источником питания 8, а по выходу - с управляющим входом соответствующего ключа 4. Выходы 4 через токовые трансформаторы 6 соединены с лампами 9. Выходы 9 и входы 4 соединены с информационной шиной 12. 3 з.п. ф-лы, 8 ил.

Изобретение относится к автоматике, телемеханике и вычислительной технике и может быть использовано для регулирования движения транспортных средств.

Известно устройство "Контроллер дорожный ДКМП-1М, Га3.035.258 ТО. Техническое описание и инструкция по эксплуатации, 1987 г.", содержащее блоки: вычислительный, ключей, формирования фазирующих сигналов, формирователей, контроллеры хода программы и задания режимов и блок контроля напряжения в каналах.

Первые и вторые группы выходов блока вычислительного соединены соответственно с первыми и вторыми группами входов контроллеров и блоков формирователей и контроля напряжения в каналах. Третья группа выходов-входов блока вычислительного соединена с третьей группой входов-выходов контроллеров хода программы и задания режимов, третьей группой входов блока формирователей и первой

группой выходов блока контроля напряжения в каналах. Четвертый вход блока формирователей соединен с первым выходом блока формирования фазированных сигналов, второй выход которого соединен с третьим входом блока контроля напряжения в каналах. Группа выходов блока формирователей соединена с первой группой входов блока ключей. Вторая группа входов блока ключей соединена с четвертой группой входов блока контроля напряжения в каналах и группой выходов блока источников света. Пятый вход блока контроля напряжения в каналах, вход блока источников света и блока формирования фазированных сигналов соединены с выходом источника питания. Выход контроллера хода программы соединен с четвертым входом контроллера задания режимов.

Известное устройство позволяет контролировать работоспособность каналов и вычислительного блока, фиксирует неисправности. При отключении напряжения питания и последующем его включении обеспечивает автоматическое включение устройства в работу, позволяет коммутировать напряжение питания в блок светоизлучающих элементов в моменты прохождения напряжения фазы через ноль вольт с помощью фазированных сигналов, что исключает большие коммутационные токи.

Однако блоку формирователей для работы требуется большое дополнительное оборудование: три номинала напряжения источников питания V_1 , V_2 , V_3 , блок формирования фазированных сигналов. Кроме того, сигнализаторы напряжения блока контроля напряжения в каналах производят контроль работоспособности каналов по наличию в них напряжения фазы. Контроль производится при максимальном значении напряжения фазы с помощью фазированных сигналов. При отклонении по времени фазированных сигналов возможен прием недостоверной информации, что снижает надежность устройства.

Недостатком известного устройства является его сложность и большое количество оборудования, используемого для фазирования выдачи и контроля коммутируемого в блок источников света Напряжения и низкая его надежность. Кроме того, дорожные контроллеры устанавливаются в основном на открытых площадках и эксплуатируются в естественных для данной местности условиях окружающей среды. В зимнее время года при низких температурах окружающей среды (минус 30 - 50°C) после отключения питания, например, ремонт изделия или обрыв линии электропередачи, вызванный воздействием внешних условий, и последующим восстановлением электропитания, перед включением необходимо предварительно довести температуру устройства до его рабочей температуры, иначе возможны выходы устройства из строя и короткие замыкания сигнальных и силовых цепей. В известном устройстве невозможно выполнить прогрев устройства до его рабочей температуры и необходимую выдержку его при этой температуре перед включением в работу, что также снижает его надежность. Задача изобретения - повышение надежности устройства. Это решается тем, что в устройство, содержащее блок ключей, контроллеры задания режимов и хода программы, блок источников света, источник питания, вычислительный блок, первая и вторая группы выходов и третья группа выходов-входов которого соединены соответственно с первыми и вторыми группами входов и третьими группами входов-выходов контроллеров, выход контроллера хода программы соединен с четвертым входом контроллера задания режимов, введены блок анализатора тока, блок компараторов и контроллер управления температурным режимом, вход которого и первый вход блока ключей соединены с выходом источника питания. Выход контроллера управления температурным режимом соединен с шиной питания устройства. Первая и вторая группы входов блока анализаторов тока и блока компараторов соединены соответственно с первой и второй группами выходов вычислительного блока. Третья группа выходов-входов вычислительного блока соединена с третьей группой входов блока компараторов и первой группой выходов блока анализаторов тока. Третья группа входов блока анализаторов тока соединена с первой группой выходов блока ключей, вторая группа выходов которого

соединена с четвертой группой входов блока компараторов. Вторая группа выходов блока анализаторов тока соединена с группой входов блока источников света. Выход контроллера хода программы соединен с входом вычислительного блока.

Это также решается тем, что контроллер управления температурным режимом состоит из датчика температуры, счетчика, двух элементов НЕ, двух компараторов, двух триггеров и блоков питания, генератора импульсов, коммутатора, формирователя, элемента И и ИЛИ, генератора одиночных импульсов и блока нагревателей. Выход генератора одиночных импульсов соединен с первыми входами первого триггера, счетчика, элемента ИЛИ, входом первого элемента НЕ и формирователя. Выход формирователя соединен с вторым входом первого триггера, третий вход которого соединен с выходом счетчика. Второй вход счетчика соединен с выходом генератора импульсов, вход которого соединен с первым выходом первого триггера, второй выход которого соединен с первым входом первого блока питания. Второй вход первого блока питания, вход второго блока питания и первый вход коммутатора соединены с входом контроллера. Выход первого блока питания соединен с выходом контроллера. Выход датчика температуры соединен с входами компараторов. Выход первого компаратора через второй элемент НЕ соединен с вторым входом элемента ИЛИ, выход которого соединен с первым входом второго триггера. Выход первого элемента НЕ соединен с первым входом элемента И, второй вход которого соединен с выходом второго компаратора и четвертым входом первого триггера, а выход - со вторым входом второго триггера. Выход второго триггера соединен со вторым входом коммутатора, выход которого соединен с блоком нагревателей.

Задача осуществляется и тем, что блок анализаторов тока выполнен из регистра, схемы сравнения, элемента И, и по каждому каналу анализатора тока, включающего триггер Шмидта, три резистора, диод, транзистор, конденсатор и токовый трансформатор, где первый вывод вторичных обмоток токовых трансформаторов соединен с первым и вторым резисторами, конденсатором, эмиттером транзистора и общей шиной блока, а второй - с вторым выводом первого резистора и анодом диода. Катод диода соединен с вторым выводом второго резистора и базой транзистора, коллектор которого соединен с вторым выводом конденсатора, входом триггера Шмидта и третьим резистором. Второй вывод третьего резистора соединен с шиной питания блока. Первые выводы первичных обмоток токовых трансформаторов анализаторов тока соединены с третьей группой входов, а вторые - с второй группой выходов блока. Выходы триггеров Шмидта анализаторов тока соединены с первой группой входов блока передатчиков. Первый вход схемы сравнения соединен с выходом регистра, а второй - с третьей группой входов блока. Выход схемы сравнения соединен с первым входом элемента И, второй вход которого соединен с одной из шин первой группы входов блока. Выход элемента И соединен с вторым входом блока передатчиков, выход которого соединен с первой группой выходов блока.

Новым также является и блок компараторов, который выполнен на двух регистрах, схеме сравнения, элементе И, триггере и для каждого канала - компаратора нуля фазы, включающего диодный мост, три транзистора, четыре резистора, два диода и оптопару. Коллектор транзистора оптопары через первый резистор соединен с вторым резистором и базой первого транзистора. Коллектор первого транзистора соединен с базой второго транзистора и катодом первого диода непосредственно, а через третий резистор - с вторым выводом второго резистора, коллекторами второго и третьего транзисторов и положительным полюсом диодного моста. Отрицательный полюс диодного моста соединен с эмиттерами первого и третьего транзисторов, анодом второго диода и эмиттером транзистора оптопары. Катод второго диода соединен с анодом первого диода, эмиттером второго и базой третьего транзисторов. Первые входы диодных мостов компараторов нуля фазы соединены с четвертой группой входов, а вторые - с группой выходов блока. Первый вход схемы сравнения соединен с выходом первого регистра,

второй - с второй группой входов блока, а выход - с первым входом элемента И. Второй вход элемента И соединен с одной из шин первой группы входов блока. Выход элемента И соединен с первым входом триггера и второго регистра. Второй вход второго регистра соединен с выходом триггера, второй вход которого соединен с одной из шин первой группы входов блока. Третья группа входов второго регистра соединена с третьей группой входов блока. Группа выходов второго регистра соединена через четвертые резисторы компараторов нуля фазы с входом оптопар.

На фиг. 1 изображена функциональная схема устройства; на фиг. 2 - схема вычислительного блока; на фиг. 3 - схема блока компараторов; на фиг. 4 - схема блока ключей; на фиг. 5 - схема блока анализаторов тока; на фиг. 6 - схема контроллера управления температурным режимом; на фиг. 7 - схема контроллера хода программы; на фиг. 8 - схема контроллера задания режимов; на фиг. 9 - схема прототипа.

Вычислительный блок 1 (фиг. 2) предназначен для управления блоками устройства, сбора данных о работоспособности и неисправностях светофорного объекта и устройства, фиксации неисправностей и принятия мер по исключению конфликтных ситуаций на перекрестке путем перевода светофорного объекта на другой режим работы или его отключения.

Контроллер управления температурным режимом 2 (фиг. 6) предназначен для поддержания рабочей температуры устройства. При ремонте, или несанкционированном отключении питания в зимнее время года и переохлаждении устройства, контроллер обеспечивает прогрев устройства до его рабочей температуры, выдержку при этой температуре и, затем, автоматическое включение его в работу.

Блок компараторов 3 (фиг. 3) предназначен для управления включением ключей по принятому от вычислительного блока коду в моменты прохождения напряжения фазы через ноль вольт, с целью исключения больших коммутационных токов.

Блок ключей 4 (фиг. 4) предназначен для коммутации напряжения питания от источника питания в каналы блока источников света (светофорного объекта).

Контроллер хода программы 5 (фиг. 7) предназначен для формирования временного интервала по коду метки, выдаваемого вычислительным блоком, и выдачи сигнала сброса устройства, а следовательно, и отключения питания блока источников света при отсутствии кода метки от вычислительного блока по окончании временного интервала.

Блок анализаторов тока 6 (фиг. 5) предназначен для определения состояния силовых каналов объекта и устройства передачи данных о их состоянии в вычислительный блок.

Контроллер задания режимов 7 (фиг. 8) предназначен для задания оператором режима работы устройства и отображения на индикаторах состояния устройства и его неисправностей.

Устройство (фиг. 1) содержит вычислительный блок 1, контроллер управления температурным режимом 2, блок компараторов 3, блок ключей 4, контроллер хода программы 5, блок анализаторов тока 6, контроллер задания режимов 7, источник питания 8, блок источников света 9 (светофорный объект), шины: управления 10, адреса 11, информации 12; силовые каналы: устройства 13, блока источников света 14; шину сброса 15.

Первая группа выходов шины управления 10, вычислительного блока 1 соединена с первыми группами входов блока компараторов 3, контроллеров 5, 7 и блока анализаторов тока 6. Вторая группа выходов, шины адреса 11, вычислительного блока 1 соединена со вторыми группами входов блока компараторов 3, контроллеров 5, 7 и блока анализаторов тока 6. Третья группа выходов-входов, информационные шины 12, вычислительного блока 1 соединена с третьими группами входов-выходов контроллера хода программы 5 и контроллера задания режимов 7, первой группой выходов блока анализаторов тока 6 и третьей группой входов блока компараторов 3. Выход контроллера хода программы 5 по

шине сброса 15 соединен с четвертым входом контроллера задания режимов 7 и входом вычислительного блока 1. Первый вход блока ключей 4 и вход контроллера управления температурным режимом 2 соединен с выходом источника, питания 8. Выход контроллера управления температурным режимом 2 соединен с шиной питания устройства (на чертеже не показан). Группа выходов 1 блока компараторов 3 соединена со второй группой управляющих входов блока ключей 4. Первая группа выходов, силовые каналы 13, блока ключей 4 соединена с третьей группой входов блока анализаторов тока 6. Вторая группа выходов блока анализаторов тока 6 соединена с силовыми каналами 14 блока источников света 9. Вторая группа выходов блока ключей 4 соединена с четвертой группой входов блока компараторов 3.

Вычислительный блок 1 (фиг. 2) содержит генератор 16, микропроцессор 17, регистр адреса 18, оперативное запоминающее устройство (ОЗУ) 19 полупостоянное запоминающее устройство (ППЗУ) 20, блок приемопередатчиков 21. Первый выход блока микропроцессора 17 соединен с первыми управляющими входами ОЗУ 19, ППЗУ 20, блока приемо-передатчиков 21, а через первую группу выходов блока, с шиной управления 10. Выход генератора 16 соединен с первым входом микропроцессора 17, второй вход которого соединен с входом блока и далее с шиной сброса 15. Второй выход микропроцессора 17 соединен с первым входом регистра адреса 18. Выход регистра адреса 18 соединен со вторыми, адресными входами ОЗУ 19 ППЗУ 20, а через вторую группу выходов блока с адресной шиной 11. Третий информационный выход-вход микропроцессора 17 соединен с вторым входом регистра адреса 18, третьим входом-выходом ОЗУ 19, выходом ППЗУ 20 и вторым входом-выходом блока приемопередатчиков 21. Выход-вход блока приемо-передатчиков 21 через третий выход-вход блока соединен с информационной шиной 12.

Блок компараторов 3 (фиг. 3) содержит два регистра 22, 23, триггер 24, схему сравнения 25, элемент И 26 и по каждому каналу компараторы нуля фазы $27_1 \dots 27_k$, которые содержат оптопару 28, четыре резистора 29, 30, 31, 32, три транзистора 33, 34, 35, два диода 36, 37, диодный мост 38, положительный полюс 39 и отрицательный полюс 40 диодного моста 38, первый вход 41 и второй вход 42 диодного моста 38. Коллектор транзистора оптопары 28 соединен через резистор 29 с базой транзистора 33 и резистором 30. Коллектор транзистора 33 соединен с базой транзистора 34, катодом диода 36 и резистором 31. Вторые выводы резисторов 30, 31 и коллекторы транзисторов 34, 35 соединены с положительным полюсом 39 диодного моста 38. Отрицательный полюс 40 диодного моста 38 соединен с эмиттерами транзисторов 33, 35, эмиттером транзистора оптопары 28 и анодом диода 37. Катод диода 37 соединен с базой транзистора 35, эмиттером транзистора 34 и катодом диода 36. Первые входы 41 диодных мостов 38 компараторов нуля фазы $27_1 \dots 27_k$ соединены с четвертой группой входов, а вторые - 42 - с группой выходов блока. Первый вход схемы сравнения 25 соединен с выходом регистра 23. Вторые входы схемы сравнения 25 соединены через вторую группу входов блока с шиной адреса 11. Выход схемы сравнения 25 соединен с первым входом элемента И 26. Второй вход элемента И 26 соединен через первую группу входов блока с одной из шин управления 10. Выход элемента И 26 соединен с первыми входами триггера 24 и регистра 22. Второй вход триггера 24 соединен через первую группу входов блока с одной из шин управления 10. Выход триггера 24 соединен со вторым входом регистра 22. Третья группа входов регистра 22 соединена через третью группу входов блока с информационной шиной 12. Группа выходов регистра 22 соединена через резисторы 32 компараторов нуля фазы $27_1 \dots 27_k$ с входом оптопар 28.

Блок ключей 4 (фиг. 4) содержит по каждому каналу ключ $43_1 \dots 43_k$, выполненный на семисторе 44, двух резисторах 45, 46, конденсаторе 47 и предохранителе 48. Анод семистора 44 соединен с предохранителем 48 непосредственно, а через конденсатор 47 - с резистором 46. Второй вывод резистора 46 соединен с катодом семистора 44 и резистором 45. Второй вывод резистора 45 соединен с управляющим выводом семистора 44. Вторые

выводы предохранителей 48 ключей $43_1...43_k$ через первый вход блока соединены с выходом источника питания 8. Аноды семисторов 44 ключей $43_1...43_k$ соединены через вторую группу выходов блока с четвертой группой входов блока компараторов 3. Управляющие входы семисторов 44 ключей $43_1...43_k$ соединены через вторую группу входов блока с группой выходов блока компараторов 3. Катоды семисторов 44 ключей $43_1...43_k$ соединены через первую группу выходов блока по силовым каналам 13 с третьей группой входов блока анализаторов тока 6.

Блок анализаторов тока 6 (фиг. 5) содержит схему сравнения 49, регистр 50, элемент И 51, блок передатчиков 52 и по каждому каналу анализатор тока $53_1...53_k$, включающий токовый трансформатор 54, диод 55, три резистора 56, 57, 58, конденсатор 59, транзистор 60 и триггер Шмидта 61. Первый вывод вторичной обмотки токового трансформатора 54 соединен с резисторами 56, 57, эмиттером транзистора 60, конденсатором 59 и общей шиной, а второй вывод соединен со вторым выводом резистора 56 и анодом диода 55. Катод диода 55 соединен со вторым выводом резистора 57 и базой транзистора 60. Коллектор транзистора 60 соединен со вторым выводом конденсатора 59; входом триггера Шмидта 61, а через резистор 58 - с шиной питания. Выходы триггеров Шмидта 61 анализаторов тока $53_1...53_k$ соединены с первой группой входов блока передатчиков 52. Первый вход схемы сравнения соединен с выходом регистра 50, а второй через вторую группу входов блока - с адресной шиной 11. Выход схемы сравнения 49 соединен с первым входом элемента И 51, второй вход которого соединен через первую группу входов блока с одной из управляющих шин 10. Выход элемента И 51 соединен с вторым входом блока передатчиков 52, выход которого через I первую группу выходов блока соединен информационной шиной 12. Первый вывод первичных обмоток токовых трансформаторов 54 анализаторов тока $53_1...53_k$ соединен через третью группу входов блока с шинами силовых каналов 13 устройства, а вторые выводы первичных обмоток токовых трансформаторов 54 соединены через вторую группу выходов блока с шинами силовых каналов 14 блока источников света 9.

Контроллер управления температурным режимом 2 (фиг. 6) содержит генератор одиночных импульсов 62, формирователь 63, два элемента НЕ 64, 65, датчик температуры 66, два компаратора 67, 68, счетчик 69, два триггера 70, 71, генератор импульсов 72, два источника питания 73, 74, элемент И 75, элемент ИЛИ 76, коммутатор 77 и блок нагревателей 78. Выход генератора одиночных импульсов 62 соединен с первыми входами триггера 70, счетчика 69, элемента ИЛИ 76, и входом элемента НЕ 64, а через формирователь 63 - со вторым входом триггера 70. Первый выход триггера 70 соединен с входом генератора импульсов 72, выход которого соединен со вторым входом счетчика 69. Выход счетчика 69 соединен с третьим входом триггера 70. Второй выход триггера 70 соединен с первым управляющим входом блока питания 73. Второй вход блока питания 73, вход блока питания 74 и первый вход коммутатора 77 соединены с входом блока и далее с выходом источника питания 8. Выход датчика температуры 66 соединен с входами компараторов 67, 68. Выход компаратора 67 через элемент НЕ 65 соединен со вторым входом элемента ИЛИ 76. Выход элемента ИЛИ 76 соединен с первым входом триггера 71. Выход элемента НЕ 64 соединен с первым входом элемента И 75, второй вход которого соединен с выходом компаратора 68 и четвертым входом триггера 70. Выход элемента И 75 соединен с вторым входом триггера 71, выход которого соединен с вторым входом коммутатора 77. Выход коммутатора 77 соединен с входом блока нагревателей 78. Выход блока питания 73 соединен с шиной питания устройства (на чертеже не показано), а выход источника питания 74 - с шиной питания контроллера.

Контроллер хода программы 5 (фиг. 7) содержит генератор 79, генератор одиночных импульсов 80, элемент НЕ 81, три элемента И 82, 83, 84, схему сравнения 85, регистр 86, счетчик 87, передатчик 88, элемент ИЛИ 89. Выход генератора 79 соединен с первым входом счетчика 87. Первый выход счетчика 87 соединен с первыми выходами элемента И 84 и передатчика 88. Второй вход передатчика 88 соединен с выходом элемента И 83, а

выход и второй вход счетчика 87 через третью группу входов-выходов блока соединены с информационной шиной 12. Второй выход счетчика 87 через элемент НЕ 81 соединен с вторым входом элемента И 84, выход которого соединен с входом генератора 79 и первым входом элемента ИЛИ 89, второй вход элемента ИЛИ 89 соединен с выходом генератора одиночных импульсов 80 и третьим входом счетчика 87, а выход - с шиной сброса 15. Первый вход схемы сравнения 85 соединен с выходом регистра 86, а второй - через второй вход блока - с адресной шиной 11. Выход схемы сравнения 85 соединен с первыми входами элементов И 82, 83. Второй вход элемента И 82 через первую группу входов блока соединен с одной из шин управления 10, а второй вход элемента И 82 соединен с другой шиной управления 10. Выход элемента И 82 соединен с четвертым входом счетчика 87.

Контроллер задания режимов 7 (фиг. 8) содержит два регистра 90, 91, схему сравнения 92, два элемента И 93, 94, блок передатчика 95, блок коммутационных элементов 96 и блок индикационных элементов 97. Первый вход схемы сравнения 92 соединен с выходом регистра 90, а второй через вторую группу входов блока соединен с адресной шиной 11. Выход схемы сравнения 92 соединен с первыми входами элементов И 93, 94, вторые входы которых соединены через первую группу входов блока с шиной управления 10. Выход элемента И 93 соединен с первым входом регистра 91, выход которого соединен с первым входом блока индикационных элементов 97. Второй вход блока индикационных элементов 97 через четвертый вход блока соединен с шиной сброса 15. Выход элемента И 94 соединен с первым входом блока передатчиков 95, второй вход которого соединен с выходом блока коммутационных элементов 96. Выход блока передатчиков 95 и второй вход регистра 91 соединены через третий вход-выход блока с информационной шиной 12.

Устройство работает следующим образом.

При подаче первичного электропитания на устройство с источника питания 8, напряжение питания сети поступает в контроллер управления температурным режимом 2 на коммутатор 77 и блоки питания 73, 74. Блок питания 74 включается и выдает питающее напряжение на элементы контроллера 2 (на чертеже не показано). При этом генератор одиночных импульсов 62 вырабатывает одиночный сигнал, который поступает на установочный вход триггера 70, вход сброса счетчика 69, а через элемент ИЛИ 76 на вход сброса триггера 71. Этим же сигналом через элемент НЕ 64 блокируется элемент И 75. За время действия импульса сброса с выхода генератора одиночных импульсов 62 заканчивается переходной процесс на компараторах 67, 68, обусловленный включением питания, и на их выходах устанавливаются сигналы, соответствующие показаниям датчика температуры 66. Датчик температуры 66 может быть выполнен в виде резисторного моста, в одно плечо которого включен терморезистор.

Компараторы 67, 68 отрегулированы так, что на их выходах появляются сигналы при выполнении следующих условий:

$t < t^{\circ}_{\text{раб.}}$ - на выходе компаратора 68 единичный сигнал;

$t < t^{\circ}_{\text{раб.опт.}}$ - на выходе компаратора 67 единичный сигнал, где:

t° - температура окружающей среды в устройстве;

$t^{\circ}_{\text{раб.}}$ - температура окружающей среды, соответствующая рабочей температуре устройства;

$t^{\circ}_{\text{раб.опт.}}$ - температура окружающей среды, соответствующая оптимальной рабочей температуре устройства;

По окончании импульса сброса формирователь 63 вырабатывает сигнал на вход синхронизации триггера 70, на информационный вход которого поступает сигнал с выхода компаратора 68. При температуре окружающей среды в устройстве ниже рабочей ($t < t^{\circ}_{\text{раб.}}$) триггер 70 устанавливается в единичное состояние, запрещая включение блока питания 73 устройства и разрешая работу генератора импульсов 72. С выхода генератора 72 импульсы поступают на счетный вход счетчика 69. Одновременно сигнал с

компаратора 60 проходит через элемент И 75 на установочный вход триггера 71, который обеспечивает включение коммутатора 77. При этом напряжение сети поступает через коммутатор 77 на вход блока нагревателей 78. Блок нагревателей 78 обеспечивает подогрев устройства до его оптимальной рабочей температуры, а счетчик 69 - выдержку устройства при его рабочей температуре. Блок нагревателей 78 может содержать вентилятор для обеспечения равномерного подогрева устройства. Для более эффективного использования тепла, выделяемого блоком нагревателей 78, устройство размещено в герметичном блоке. При достижении температуры, равной рабочей температуре устройства, прекращается выдача сигнала с выхода компаратора 68 и элемент И 75 снимает сигнал с установленного входа триггера 71. При дальнейшем возрастании температуры и достижения ею значения, равного оптимальной рабочей температуре устройства, сигнал на выходе компаратора 67 принимает значение "ОВ". При этом через элемент НЕ 65 и элемент ИЛИ 76 триггер 71 сбрасывается, запрещая прохождение напряжения сети через коммутатор 77, и блок нагревателей 78 отключается. При дальнейшей выдержке температура в устройстве падает. При снижении температуры ниже рабочей $t^{\circ} < t^{\circ}_{\text{раб.}}$ сигналом с компаратора 68 вновь устанавливается триггер 71, обеспечивая включение блока нагревателей 78. Процесс подогрева устройства продолжается до окончания времени выдержки, определяемым счетчиком 69. По окончании времени выдержки сигналом с выхода счетчика 69 сбрасывается триггер 70 и сигнал с его инверсного выхода, включает блок питания 73 устройства. При подаче питания на устройство с блока, питания 73 срабатывает генератор одиночных импульсов 80 в контроллере хода программы 5, сигнал с которого поступает на вход сброса счетчика 87, а через элемент ИЛИ 89 - на шину сброса 15 устройства. С шины сброса 15 сигнал поступает на вход сброса микропроцессора 17 вычислительного блока 1, который устанавливается в исходное состояние и вырабатывает на одной из шин управления 10 сигнал сброса для узлов устройства. С шины 10 вычислительного блока 1 сигнал сброса поступает на вход сброса триггера 24 блока компараторов 3. Триггер 24 сбрасывается и сигналом с его выхода запрещается выдача сигналов с выхода регистра 22 на включение компараторов нуля фазы 27₁...27_к. До включения источника питания 73, регистр 22 обесточен, а следовательно, запрещена работа компараторов нуля фазы 27₁...27_к.

При дальнейшей работе устройства, и в случае понижения температуры до значения ниже, чем рабочая температура, сигналом с выхода компаратора 68 контроллера управления температурным режимом 2 вновь устанавливается триггер 71 и подает сигнал на управляющий вход коммутатора 77, при этом включается блок нагревателей 78, тем самым в процессе работы осуществляется поддержание в устройстве его рабочей температуры.

В случае если при подаче первичного напряжения от источника питания 8 температура в устройстве была в пределах рабочей температуры, то на выходе компаратора 67 сигнал будет иметь нулевое значение. При этом, при выдаче сигнала с формирователя 63 триггер 70 установится в нулевое состояние и сигналом с его инверсного выхода включится источник питания 73 устройства.

По окончании импульса сброса с выхода, генератора одиночных импульсов 80 контроллера хода программы 5 от синхроимпульсов с выхода генератора 79 запускается счетчик 87 временных интервалов. Одновременно, сигнал сброса снимается и с шины сброса 15 и микропроцессор 17 вычислительного блока 1 переходит на выполнение программы, внесенной в ППЗУ 20. При этом адрес ячеек ППЗУ 20 выставляется на третьем выходе-входе микропроцессора 17 и по управляющему сигналу со второго выхода микропроцессора 17 вносится в регистр адреса 18. Чтение команд и констант из ППЗУ 20 производится по адресу, внесенному в регистр 18, и сигналу обращения-чтения с одной из шин первой группы выходов микропроцессора 17. С выхода ППЗУ 20 считанные команды и константы принимаются микропроцессором 17 через его третью группу выходов-входов. Аналогично производится чтение и запись операндов в ОЗУ 18 по

сигналам обращения-чтения и обращения-записи, поступающих с соответствующих шин первой группы выходов микропроцессора 17.

При выполнении программы и обращении к блокам устройства микропроцессор 17 выставляет адрес внешнего устройства через регистр адреса 18 на шину адреса 11. Сигналы обращения-чтения данных (RD) или обращения-записи данных (WR) для блоков устройства поступают с первой группы выходов микропроцессора 17 на управляющую шину 10. Кроме того, сигналы RD и WR с первой группы выходов микропроцессора 17 поступают на управляющий вход блока приемо-передатчиков 21, который по названным сигналам переключает информационные потоки данных на прием в микропроцессор 17 с информационной шины 12 или на выдачу в информационную шину 12 с третьей группы выходов-входов микропроцессора 17.

В начале выполнения программы микропроцессор 17 производит проверку работоспособности контроллера хода программы 5, для чего на шине адреса 11 выставляет соответствующий адрес, на информационной шине 12 - код контрольной метки, а на соответствующей управляющей шине 11 - сигнал обращения-записи WR.

Код контрольной метки с информационной шины 12 поступает на информационный вход счетчика 87, сигнал обращения-записи WD - на один из входов элемента И 82, а код адреса - на вход схемы сравнения 85. На другой вход схемы сравнения 85 поступает заранее установленный код номера устройства с регистра 86. При совпадении кода адреса с кодом номера устройства схема сравнения 85 выдает сигнал на другой вход элемента И 82, разрешающего прохождение сигнала обращения-записи WR на управляющий вход счетчика 87. При этом код контрольной метки вносится в счетчик 87. Код контрольной метки в старшем разряде всегда имеет значение "1". При внесении кода контрольной метки в счетчик 87 сигнал высокого уровня с его старшего разряда поступает через элемент НЕ 81 на один из входов элемента И 84 и блокирует его.

Под воздействием импульсов с выхода генератора 79, поступающих на счетный вход счетчика 87, последний отсчитывает временной интервал, заданный контрольной меткой. По окончании отсчета временного интервала счетчик 87 формирует на своем первом выходе сигнал, который поступает на информационный вход передатчика 88.

После записи контрольной метки в счетчик 87 контроллера хода программы 5 микропроцессор 17 через определенные интервалы времени считывает данные с контроллера хода программы 5, для чего выставляет соответствующий код адреса на шине адреса 11 и сигнал обращения-чтения RD на шине управления 10. Сигнал обращения-чтения RD с шины управления 10 поступает на элемент И 83, открытый сигналом с выхода схемы сравнения 85. Сигналом с выхода элемента И 83 открывается передатчик 88 и данные с первого выхода счетчика 87 передаются через передатчик на информационную шину 12. С информационной шины 12 данные поступают через блок приемо-передатчиков 21 вычислительного блока 1 на третью группу выходов-входов микропроцессора 17. Микропроцессор 17 обрабатывает полученные данные в соответствии с заданной программой и производит заключение с помощью программы о работоспособности контроллера хода программы 5. При неисправности контроллера хода программы 5 микропроцессор 17 прекращает выполнение программы и запоминает неисправность. При исправности контроллера хода программы 5 микропроцессор 17 продолжает дальнейшее выполнение программы, при этом в счетчик 87 вносится код рабочей метки. Рабочие метки размещены по всей программе по заранее рассчитанным временным интервалам прохождения программы. Временной интервал прохождения программы от J-метки до J₊₁-метки должен быть меньше заданного временного интервала J-меткой. Старший разряд рабочей метки всегда имеет значение "0". При заиклиивании программы, неисправностях вычислительного блока 1 или шин 10, 11, 12 интерфейса, ведущих к увеличению временного интервала до появления очередной метки или ее отсутствия, на первом выходе счетчика 87 контроллера хода программы 5 вырабатывается сигнал о неисправной работе вычислительного блока, который поступает на первый вход

элемента И 84. Элемент И 84 открыт по второму входу сигналом с выхода элемента НЕ 81, так как на вход элемента НЕ 81 поступает сигнал низкого уровня со старшего разряда счетчика 87. Сигнал с выхода элемента И 84 поступает на вход генератора 79 и запрещает его работу. Кроме того, сигнал с выхода элемента И 84 проходит через элемент ИЛИ 89 на шину сброса 15, при этом микропроцессор 17 устанавливается в исходное состояние и выставляет, сигнал сброса на управляющую шину 10 для установки в исходное состояние узлов устройства. Сигналом сброса с шины 10 сбрасывается триггер 24 блока компараторов 3, запрещая выдачу сигналов с выхода регистра 22, следовательно, запрещается работа компаратора нуля фазы $27_1...27_k$ и выдача сигналов в блок светоизлучающих элементов 9. Таким образом, контроллер хода программы 5 контролирует работу вычислительного блока 1, а блок 1 осуществляет контроль работоспособности контроллера 5.

Сигнал сброса с шины 15 поступает также в блок индикационных элементов 97 контроллера задания режимов 7 для световой индикации.

При исправной работе вычислительного блока 1, микропроцессор 17 далее обращается к контроллеру задания режимов 7 для определения режима работы светофорного объекта (блока источника света), выставляя при этом на шине адреса 11 соответствующий адрес, на управляющей шине 10 - сигнал обращения-чтения RD.

В ППЗУ 20 вносится несколько режимов работы (подпрограмм) блока источников света 9 (светофорного объекта). Выбор того или другого режима работы зависит от времени года, гололеда на дорогах и т.д.

Код адреса с шины 11 поступает на вход схемы сравнения 92 контроллера задания режимов 7. На другой вход схемы сравнения 92 поступает с выхода регистра 90 код номера устройства. При совпадении кодов схема сравнения 92 выдает сигнал разрешения на входы элементов И 93, 94. При этом сигнал обращения-чтения с управляющей шины 10 проходит через элемент И 94 на управляющий вход блока, передатчиков 95, разрешая прохождение данных с блока коммутационных элементов 96 в информационную шину 12. С шины 12 данные о режиме работы поступают через блок приемо-передатчиков 21 на третью группу выходов-входов микропроцессора 17 вычислительного блока 1. После приема режима работы микропроцессор 17 передает подтверждение о принятом номере режима работы в контроллер задания режимов 7, выставляя при этом соответствующий адрес на шине адреса 11, данные - на шине 12 и сигнал обращения-записи WR - на управляющей шине 10. С шины 12 данные поступают на информационный вход регистра 91, на синхровход которого с информационной шины 12 через элемент И 93 поступает сигнал обращения-записи WR. Принятые данные с выхода регистра 91 передаются в блок индикационных элементов 97 для световой индикации номера, режима работы. После этого микропроцессор переходит на выполнение заданного режима. Если при обращении к контроллеру задания режимов 7 режим работы не был установлен в блоке коммутационных элементов 96, то микропроцессор 17 работает в режиме ожидания.

Для управления зажиганием элементов блока источников света 9 микропроцессор 17 блока 1 выбирает из ППЗУ 20 константы и передает их в блок компараторов 3. При этом константу выставляет на информационной шине 12, адрес номера устройства на адресной шине 11 и сигнал обращения-записи WR на управляющей шине 10. С шины 12 данные поступают на информационный вход регистра 22 блока компараторов 3. Адрес с шины 11 поступает на вход схемы сравнения 25, на второй вход которой поступает код номера устройства, с регистра 23. При совпадении кодов с выхода схемы сравнения 25 выдается сигнал, который открывает элемент И 26 для прохождения сигнала обращения-записи с шины 10 на управляющие входы регистра 22 и триггера 24. При этом производится прием данных с шины 12 в регистр 22, а триггер 24 устанавливается в единичное состояние. Сигнал с выхода триггера 24 поступает на другой управляющий вход регистра 22 и разрешает выдачу данных с его выходов на управляющие входы оптопар компараторов нуля фазы $27_1...27_k$.

На первые входы 41 диодных мостов 38 компараторов нуля фазы $27_1...27_k$, через предохранители 48 соответствующих ключей $43_1...43_k$ блока ключей 4 поступает переменное напряжение 220 В от источника питания 8. Второй вход 42 диодных мостов 38 через управляющий электрод семистора 44 блока ключей 4, токовый трансформатор 54 блока анализаторов тока 6, блок источников света 9 соединен с общей шиной 220 В. На выход диодных мостов 38 выдается выпрямленное пульсирующее напряжение, являющееся питающим напряжением компараторов нуля фазы. Транзистор оптопары 28 выполняет роль ключа, замыкающего и размыкающего цепь питания делителя, выполненного на резисторах 29, 30. При размыкании ключа пульсирующее питающее напряжение поступает через резистор 30 на базу транзистора 33, и он открыт, а транзисторы 34, 35 закрыты. При этом ток, протекающий по цепи: источник питания 8, предохранитель 48 ключа блока ключей 4, диод диодного моста 38, резистор 31, транзистор 33, диод диодного моста 38, переход управляющий электрод-коллектор семистора 44 блока ключей 4, токовый трансформатор 54 блока анализаторов тока 6, блок источников света 9, общая шина 220 В - очень мал за счет большого значения сопротивления резистора 31 (порядка 10^5 Ом) и недостаточен для включения симистора 44 ключа блока ключей 4. При замыкании ключа (оптопары) подключается делитель, резисторы 29, 30, при этом напряжение, поступающее на базу транзистора 33, изменяется так, что открывание транзистора 33 происходит при достижении некоторого значения напряжения фазы. При закрытом транзисторе 33 открываются транзисторы 34, 35 и шунтируют диодный мост 38 компаратора нуля фазы 27_1 . При этом возрастающее по синусоиде напряжение фазы прикладывается к переходу семистора 44 блока ключей 4. Семистор открывается и напряжение от источника питания 8 подается по соответствующему каналу в блок источника света 9. Включение семисторов 44 блока ключей 4 не требует использования специальных фазирующих сигналов и производится практически в начале перехода напряжения фазы через ОВ, это исключает большие коммутационные токи и позволяет использовать предохранители от короткого замыкания в каналах цепей питания источников света.

Управление оптопарами компараторов нуля фазы $27_1...27_k$ осуществляется сигналами с выхода регистра 22 контроллера управления ключами 3.

При открытом семисторе 44 блока ключей 4 протекает ток в соответствующем канале по цепи: источник питания 8, предохранитель 48 и семистор 44 блока ключей 4, токовый трансформатор 54 блока анализаторов тока 6, блок источников света 9, общая шина. При этом при нарастании и спаде синусоидального напряжения фазы токовый трансформатор 54 соответствующего анализатора, тока $53_1...53_k$ блока анализаторов тока 6 вырабатывает короткий сигнал соответственно положительной и отрицательной полярности. Сигнал положительной полярности с токового трансформатора 54 поступает через диод 55 в базу транзистора 60. Транзистор открывается и разряжает конденсатор 59. По окончании сигнала с токового трансформатора 54 происходит заряд конденсатора 59 через резистор 58. Сигнал с конденсатора 59 поступает на вход триггера Шмидта 61. Триггер Шмидта 61 при разряженном конденсаторе 59 выдает на выходе сигнал "1". Номиналы конденсатора 59 и резистора 58 выбираются так, чтобы время заряда конденсатора 59 через резистор 58 до уровня напряжения срабатывания триггера Шмидта 61 было больше 20 мс - периода синусоиды питающего напряжения. В результате чего считывание достоверных данных с выхода триггера Шмидта 61 возможно в любое время и не требует фазирующих сигналов. С выхода триггера Шмидта 61 анализаторов тока $53_1...53_k$ сигналы поступают на информационный вход блока передатчиков 52.

После передачи данных в регистр 22 блока компараторов 3, микропроцессор 17 вычислительного блока 1 производит проверку достоверности приема и выполнения узлами устройства заданной операции, т.е. проверку работоспособности блока компараторов 3, блока ключей 4, блока анализаторов тока 6 и блока источников света 9. Для чего микропроцессор 17 обращается к блоку анализаторов тока 6, выставляя адрес на

шине адреса 11 и сигнал обращения-чтения RD на управляющей шине 10. Код адреса с шины 11 поступает на вход схемы сравнения 49, на другой вход которой поступает код номера устройства с регистра 50. При совпадении кодов на выходе схемы сравнения 49 вырабатывается сигнал, который открывает элемент И 51 для прохождения сигнала, обращения-чтения с управляющей шины 10. С выхода элемента И 51 сигнал поступает на управляющий вход блока, передатчиков 52 и разрешает прохождение сигналов с выходов триггеров Шмидта 61 анализаторов тока $53_1...53_k$ на информационную шину 12. С шины 12 данные о работоспособности каналов принимаются микропроцессором 17 и сравниваются с выданной константой в регистр 22 блока компараторов 3. В случае обнаружения неисправности микропроцессор 17 запоминает неисправность и с помощью программы определяет, приводит ли данная неисправность к конфликтной ситуации транспортных средств на регулируемом перекрестке и принимает соответствующие меры: продолжает работать в заданном режиме, если нет конфликтной ситуации, переходит на режим желтого мигания, отключает блок источников света 9. Для отключения блока источников света 9 микропроцессор 17 вносит в регистр 22 константу, содержащую во всех разрядах нули, или выдает на управляющую шину 10 сигнал сброса, который поступает на вход сброса триггера 24 блока компараторов 3. Триггер 24 сбрасывается и запрещает выдачу сигналов с выхода регистра 22.

При наличии неисправностей, по запросу от блока коммутационных элементов 96, микропроцессор 17 может выдать признаки неисправностей в регистр 91 для индикации в блоке индикационных элементов 97 контроллера задания режимов 7. При этом обмен данными производится аналогично вышеописанному.

В устройстве блок компараторов 3, блок анализаторов тока 6 содержит регистры номера устройства, что обеспечивает путем наращивания простое изменение количества каналов управления светофорным объектом. При этом использование изобретенного устройства позволяет реализовать практически все возможные схемы организации движения на перекрестке без большой избыточности оборудования.

В устройство по сравнению с прототипом введены контроллер управления температурным режимом, блок анализаторов тока и блок компараторов, выполненные с применением новых технических решений, без использования фазирующих сигналов и источников питания для смещения и питания узлов управления ключами. Это значительно уменьшило количество оборудования и на порядок потребляемую мощность (в прототипе $P=600$ Вт, в изобретенном устройстве $P=60$ Вт). Исключение блока фазирующих сигналов позволяет при необходимости использовать трехфазную сеть (в прототипе используется однофазная сеть) для питания светофорного объекта с целью равномерного распределения нагрузки по фазам.

Введение блока анализаторов тока, не требующего фазирующих сигналов, исключает возможность получения недостоверной контрольной информации, что обеспечивает более надежный контроль работоспособности узлов устройства и светофорного объекта. Применение новых технических решений в блоке анализаторов тока и контроллере управления ключами обеспечивает полную изоляцию вторичного напряжения питания устройства от высоковольтной сети 220 В. Это уменьшает вероятность выхода из строя устройства при работе в среде с повышенной влажностью.

Использование контроллера управления температурным режимом увеличивает срок службы и надежность применяемых радиоэлементов за счет поддержания рабочей температуры в устройстве и позволяет применять в устройстве комплектующие изделия с менее жесткими требованиями к воздействию внешней среды, а, следовательно, и меньшей стоимостью.

Таким образом, устройство по сравнению с прототипом имеет сравнительно небольшую потребляемую мощность и высокую надежность за счет поддержания рабочего температурного режима в устройстве и контроля работоспособности устройства и светофорного объекта с достаточно высокой достоверностью, исключаящей

возможность возникновения конфликтных ситуаций на перекрестке.

Формула изобретения

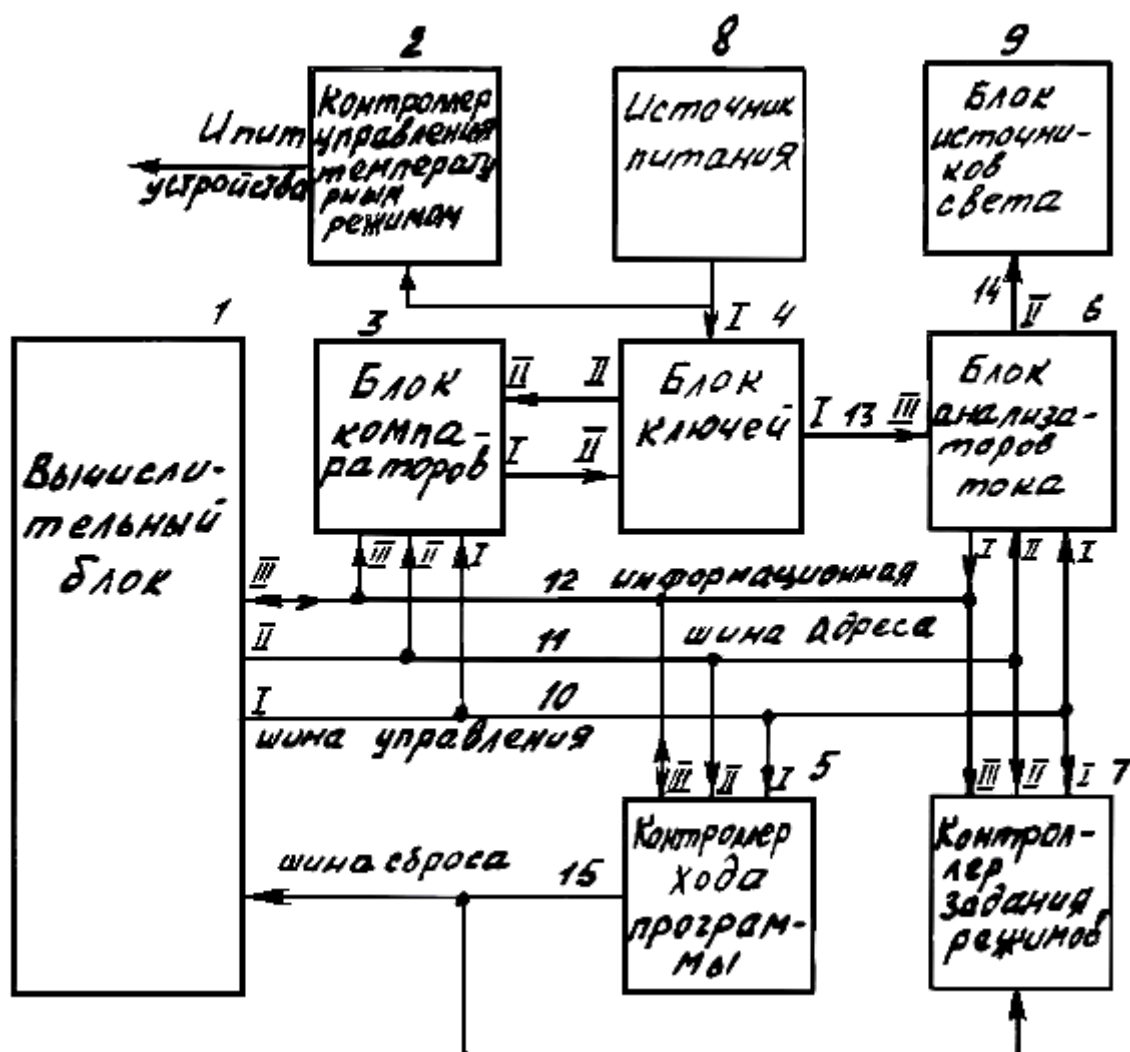
1. Устройство для регулирования движения, содержащее блок ключей, контроллеры хода программы и задания режимов, блок источников света, источник питания и вычислительный блок, первая, вторая группы выходов и третья группа выходов-входов которого соединены соответственно с первой и второй группами входов и третьей группами входов-выходов контроллеров, выход контроллера хода программы соединен с четвертым входом контроллера задания режимов, отличающееся тем, что в устройство введены блок анализаторов тока, блок компараторов и контроллер управления температурным режимом, вход которого и первый вход блока ключей соединены с выходом источника питания, а выход - с шиной питания устройства, первая и вторая группы входов блока анализаторов тока и блока компараторов соединены соответственно с первой и второй группами, выходов вычислительного блока, третья группа выходов-входов которого соединена с третьей группой входов блока компараторов и с первой группой выходов блока анализаторов тока, вторая группа выходов которого соединена с группой входов блока источников света, а третья группа входов - с первой группой выходов блока ключей, вторая группа выходов которого соединена с четвертой группой входов блока компараторов, выход которого соединен со вторым входом блока ключей, выход контроллера хода программы соединен с входом вычислительного блока.

2. Устройство по п. 1, отличающееся тем, что блок анализаторов тока содержит блок передатчиков, элемент И, регистр, схему сравнения и по каждому каналу анализатор тока, включающий триггер Шмидта, транзистор, конденсатор, три резистора, диод и токовый трансформатор, первый вывод вторичной обмотки которого соединен с общей шиной, первым и вторым резисторами, эмиттером транзистора и конденсатором, а второй - с вторым выводом первого резистора и анодом диода, катод которого соединен со вторым выводом второго резистора и базой транзистора, коллектор которого соединен с конденсатором, входом триггера Шмидта и третьим резистором, второй вывод которого соединен с шиной питания, первые и вторые выводы первичных обмоток токовых трансформаторов анализаторов тока соединены соответственно с третьей группой входов и второй группой выходов блока, выходы триггеров Шмидта анализаторов тока соединены с первой группой входов блока передатчиков, выход которого соединен с первой группой выходов блока, первый вход схемы сравнения соединен с выходом регистра, второй - с второй группой входов блока, а выход - с первым входом элемента И, второй вход которого соединен с одним из входов первой группы входов блока, выход элемента И соединен с вторым входом блока передатчиков.

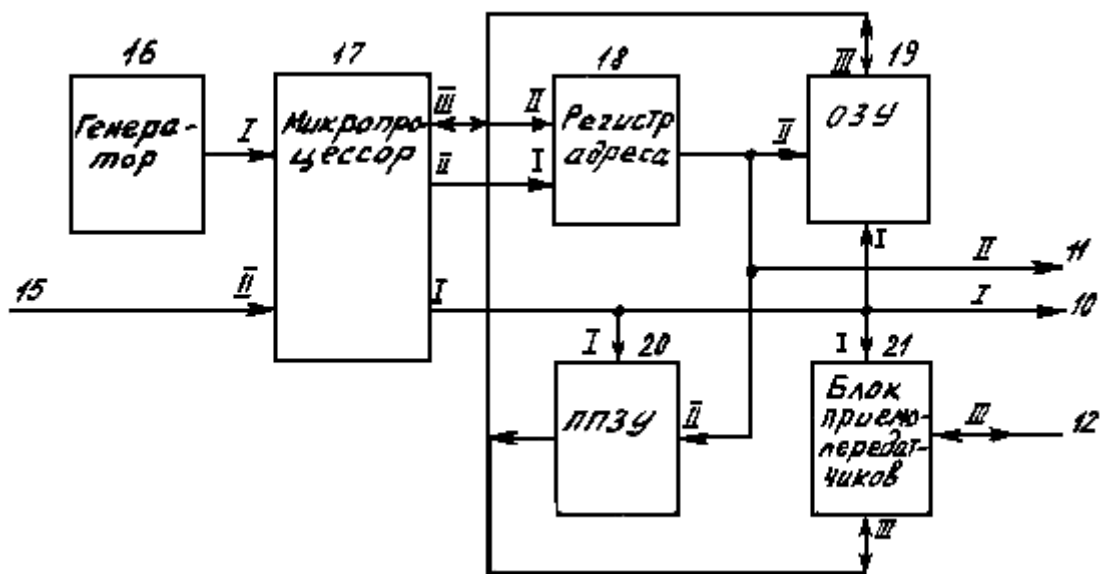
3. Устройство по п. 1, отличающееся тем, что контроллер управления температурным режимом содержит счетчик, два компаратора, два элемента НЕ, два триггера и два блока питания, генератор импульсов, коммутатор, блок нагревателей, датчик температуры, формирователь, элемент И, элемент ИЛИ и генератор одиночных импульсов, выход которого соединен с первыми входами первого триггера, счетчика, элемента ИЛИ, входом первого элемента НЕ, а через формирователь - с вторым входом первого триггера, первый выход которого соединен с генератором импульсов, выход которого соединен с вторым входом счетчика, выход которого соединен с третьим входом первого триггера, второй выход которого соединен с первым входом первого блока питания, второй вход которого соединен с входом второго блока питания, входом контроллера и первым входом коммутатора, второй вход которого соединен с выходом второго триггера, выход датчика температуры соединен с входами компараторов, выход первого компаратора через элемент НЕ соединен с вторым входом элемента ИЛИ, выход которого соединен с первым входом второго триггера, второй вход которого соединен с выходом элемента И, первый вход которого соединен с выходом первого элемента НЕ, а второй - с выходом второго компаратора и четвертым входом первого триггера, выход

первого блока питания соединен с выходом контроллера, а выход второго блока с шиной питания контроллера.

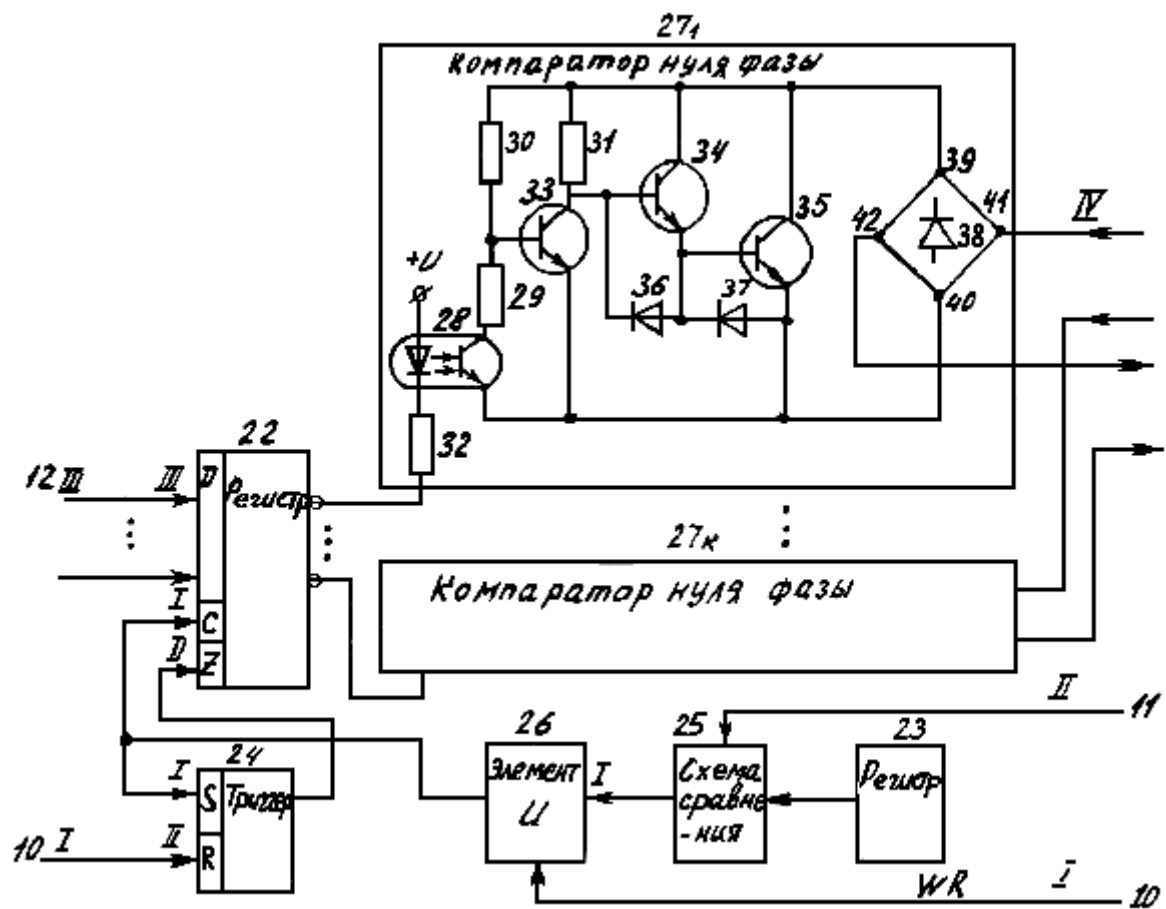
4. Устройство по п. 1, отличающееся тем, что блок компараторов содержит схему сравнения, два регистра, элемент И, триггер и для каждого канала компаратор нуля фазы, включающий диодный мост, три транзистора, четыре резистора, два диода и оптопару, коллектор транзистора которой через первый резистор соединен с вторым резистором и базой первого транзистора, коллектор которого соединен с базой второго транзистора и катодом первого диода, а через третий резистор - со вторым выводом второго резистора, коллекторами второго и третьего транзисторов и положительным полюсом диодного моста, отрицательный полюс которого соединен с эмиттерами первого, третьего транзисторов, транзистора оптопары и анодом второго диода, катод которого соединен с эмиттером второго и базой третьего транзисторов и анодом первого диода, первые входы диодных мостов компараторов нуля фазы соединены с четвертой группой входов, а вторые - с группой выходов блока, первый вход схемы сравнения соединен с выходом первого регистра, второй - с второй группой входов блока, а выход - с первым входом элемента И, второй вход которого соединен с одной из шин первой группы входов блока, а выход - с первым входом триггера и первым входом второго регистра, второй вход которого соединен с выходом триггера, второй вход которого соединен с одной из шин первой группы входов блока, входы оптопар компараторов нуля фазы соединены через четвертые резисторы с группой выходов второго регистра, третья группа входов которого соединена с третьей группой входов блока.



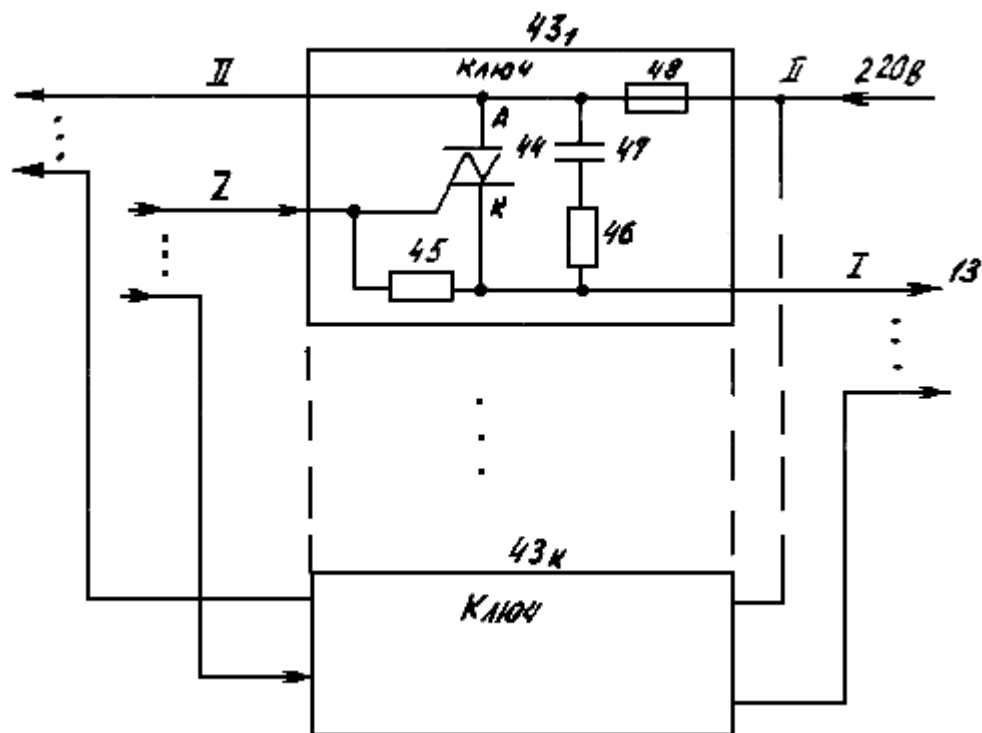
Фиг. 1



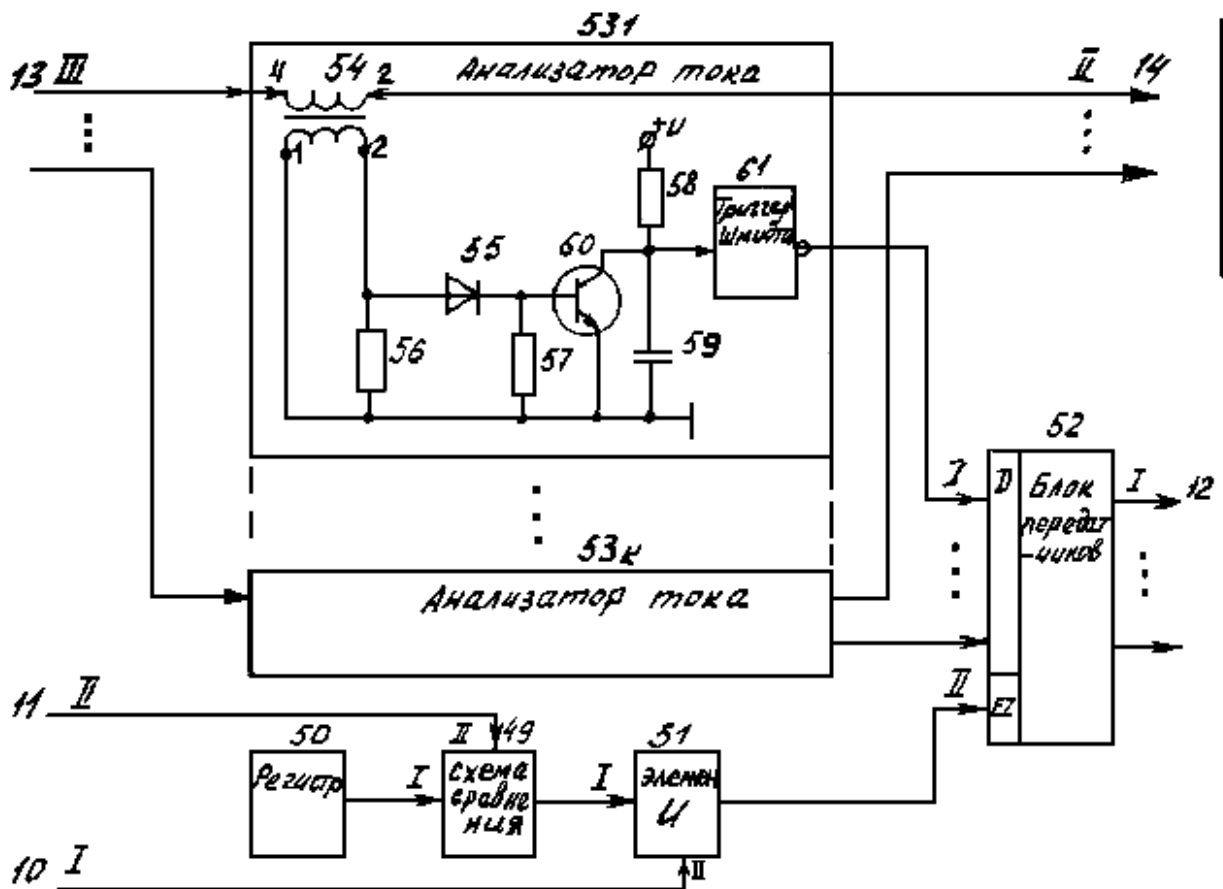
Фиг. 2



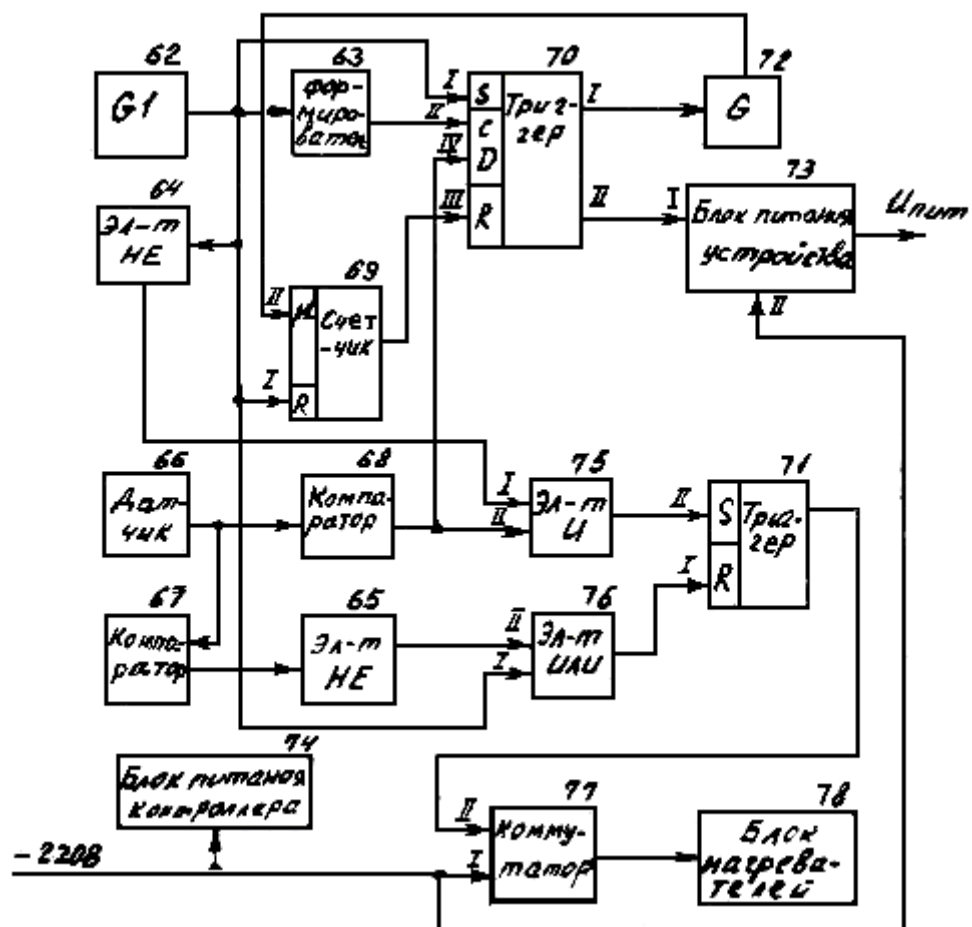
Фиг. 3



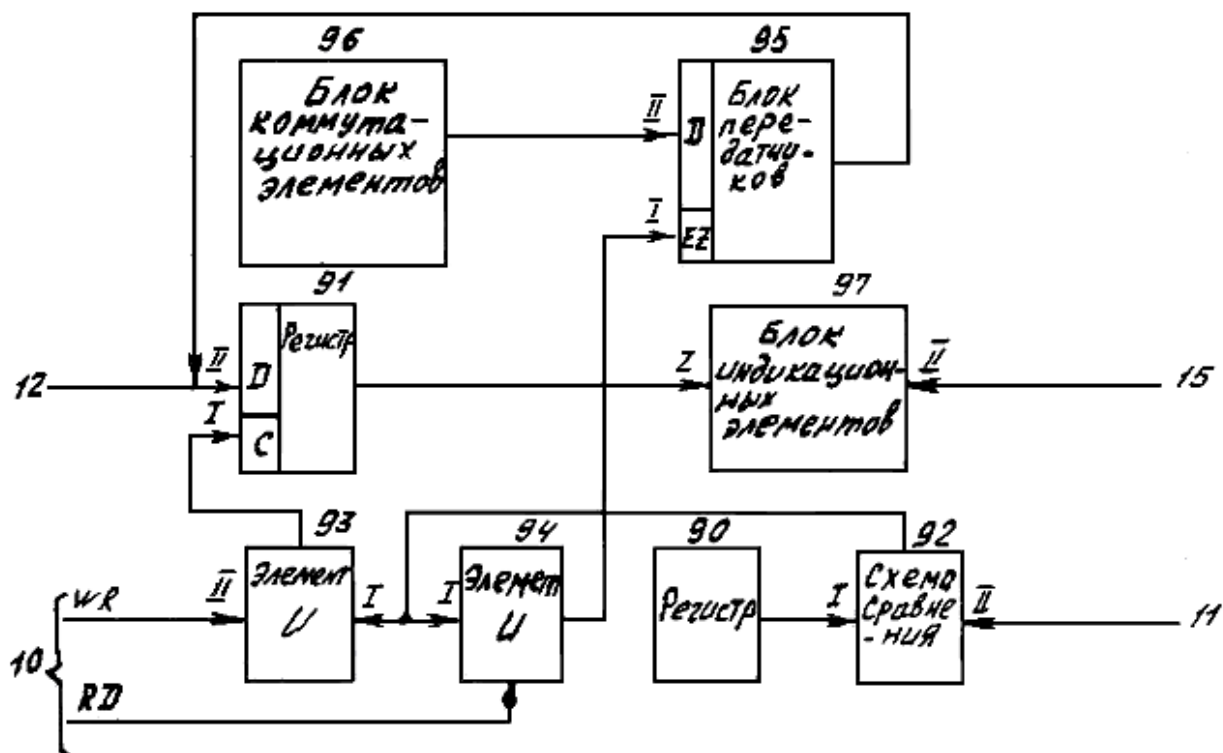
Фиг. 4



Фиг. 5



Фиг. 6



Фиг. 8

Составитель описания
Ответственный за выпуск

Никифорова М.Д.
Арипов С.К.

Кыргызпатент, 720021, г. Бишкек, ул. Московская, 62, тел.: (312) 68 08 19, 68 16 41, факс: (312) 68 17 03