

Авторы: В.М. Борщев А.А.
Тор'оев И.Г.
Мельничук

ИЖИ₄ Н05 К 1,3,7,13 ЖИс
Н05 К 3/00

О

Устройство для компоновки печатных плат

Изобретение относится к области вычислительной техники и может быть использовано при производстве печатных плат с повышенной плотностью проводников.

Известно устройство для изготовления печатных плат (пат.США. № 3654615), содержащее блок считывания описания схемы, которое своими выходами соединено с первым и вторым блоками памяти. Один из блоков памяти запоминает отношение каждого элемента к каждому из других элементов схемы для определения порядка распределения элементов схемы к позициям платы. Во втором блоке памяти хранится в виде списка порядок расположения элементов в зависимости от величины суммарной длины связей между элементами. Третий блок памяти устройства содержит сведения о плате, которые поступают туда от устройства считывания размера платы, и другие преобразованные данные. Выходы всех блоков памяти соединены с соответствующими входами блока размещения элементов на плате, который состоит из блока упорядочения элементов и блока распределения их.

Выходы первого и второго блоков памяти и выход блока размещения соединены с соответствующими входами блока вычисления образца матрицы платы, который определяет трассировку элементов схемы, и его выход соединен с устройством монтажа, которое выполняет функцию действительного соединения выбранных элементов для выполнения на плате монтажа нужной электрической схемы. Это устройство может быть различным в зависимости от технологии соединения позиций платы. Устройство распределения элементов на плате независимо от размеров распределяемых элементов и конфигурации схемы.

Недостатком известного технического решения является то, что упорядочение элементов осуществляется по критерию максимальной связности, который не дает оптимизации распределения связей по полю платы и длине. Данное устройство не может быть использовано для изготовления плат, у которых максимальное количество связей соединено с разъемом, так как последний не может быть назначен в центре платы. Вторым недостатком является то, что применяемый здесь последовательный алгоритм размещения не дает достаточно хорошего результата по качеству получаемого размещения элементов. Третьим недостатком прототипа является и

то, что в ходе оптимизации размещения элементов по известному техническому решению, возникают так называемые плохие позиции для элементов и эти элементы размещают в матрицу в последнюю очередь на оставшиеся свободные позиции. А это уже приводит к неоптимальности размещения, что отражается на плотности рисунка платы, на её технологичности, возникновении длинных связей (длина связей по прототипу не оценивается), что ухудшает электрические параметры платы, и, в конечном счете, ведет к снижению надежности.

Целью изобретения является повышение плотности монтажа, надежности и технологичности изготовления печатных плат.

Поставленная цель достигается тем, что устройство снабжено блоком оценки результатов размещения для всех возможных перестановок корпусов микросхем, выполнено в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, четвертый вход буферного запоминающего блока и первый выход микропроцессора соединены соответственно с первым выходом и пятым входом блока сканирования и перестановки корпусов микросхем, а также терминалом и оперативным запоминающим блоком, выход которого соединен со входом блока определения топологии печатной платы, а блок размещения выполнен в виде узла линейного упорядочения элементов и корпусов микросхем, вход которого соединен с выходом блока памяти элементов и связей, выход упомянутого узла соединен со вторым входом узла первоначального размещения корпусов микросхем, размещающего линейку корпусов микросхем в поле матрицы платы в виде "меандра", определяющего их координаты по формулам:

$$X_i = \begin{cases} n_i - (Y_i - 1) M_X & Y_i - \text{нечетно} \\ M_X \cdot Y_i - n_i + 1 & Y_i - \text{четно} \end{cases}$$

$$Y_i = \left\lceil \frac{n_i - 1}{M_X} + 1 \right\rceil, \quad \text{где:}$$

n_i - номер позиции корпуса микросхемы в линейном размещении,

M_X -

M_Y - количество мест в посадочном ряду по координате "Y", оптимизи-

-рующей.

рующей целевую функцию $L = \sum_{i=1}^n X_i + \sum_{j=1}^m Y_j$, где X_i - координаты корпусов,

принадлежащих 1-ой связи и выпол-

1-ой связи и выпол-

1-ой связи и выпол-

соединен с четвертым входом блока сканирования и перестановки корпусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, регистра и оперативного запоминающего блока.

Признаки, отличающие заявленные технические решения от прототипа, не были, выявлены в других технических решениях.

Первый «?» третий блоки считывания и кодирования предназначены для считывания и кодирования соответственно функционально-логических элементов размещаемой схемы и их связей, конструктивных данных, технологических ограничений и передачи их в соответствующий блок памяти.) Первый «?» третий блоки памяти предназначены для запоминания в кодированном виде соответственно функционально-логических элементов размещаемой схемы и их связей, конструктивных данных и технологических ограничений.

Блок оценки результатов размещения предназначен для активного участия в процессе проектирования и изготовления печатных плат. Этот блок оценивает результаты размещения корпусов микросхем и элементов, информации, поступающей из блоков памяти и блока размещения, определяет уже конкретные показатели платы. Если данные размещения неудовлетворительны, этот блок вновь отправляет все данные в блок размещения для дальнейшей оптимизации.

Блок определения топологии (трассировки) печатной платы предназначен для трассировки связей печатной платы по данным, поступающим с блока оценки результатов размещения с учетом данных, поступающих с блоков памяти. Результаты трассировки записывают в регистры памяти и этот блок производит окончательное размещение элементов на плате, формирует новый перечень связей.

Блок управления монтажом предназначен для управления изготовлением печатной платы на основании информации с блока определения топологии печатной платы, позволяющей управлять любым из известных типовых технологических процессов производства печатных плат, выдает управляющие перфокарты для сверловки, получения фотошаблона и получения чертежа печатной платы.

Подблок линейного размещения предназначен для упорядочения элементов путем оптимизации линейного размещения функционально-логических элементов и корпусов микросхем минимизации функции $\theta = U(\langle 5/* - \text{ч} \rangle, O$

$$\bullet \quad i\$^{\wedge} < r \sim J * J$$

по критерию максимальной связности, где $\mathcal{L}; \wedge$ - начальная, а $Q; \wedge$ - конечная координаты связи c - в линейном размещении.

$$*\vee$$

$f \setminus \quad , \quad I$, Л -р. Л -, „-4 ~ « /Л "• » —" " ^ -
'»•-!• ,'^ ,>"-• 1 - >/>»••• - >^^Л-,
v, J ч 1 .О О, иО ^ Оч,' — Л ;u j. .О ' v
. u > 0 . „
Вго~н' " * v " 'V, -xО C сд . г >%J ^ ,., !яг /г. -от -
я *Л1 л :я" •", - 31'^ " , n^f-tlo, 'ic J^TC~ vi -„.: <г р* -
Г _ ~• .л "О - ТОГО, Г7 vj I L^T ^ " ^1 ^ .11" Т , "yil Oil J, L^Tj—^лГ " СГ*
Э.о., "ЛИ 37 11 } 3^{оо} ПС-ГП " 1 ' 01ⁿ ..-LI! " " ~ ^ C1 , И, i , ^T1Г —
л\^" - """/^^. -^^ -- »л» г\ - - —' г- , »»*«Г11¹¹ ^T1Г1*
n/^li~. iTf "T^Ti ^тпгпг СГ "" i-* уч«-чч«^- 0 , Т~ *t—vjrs-
i[^]r
^/ л. ^ _ ' >/- >. . JL -L * » -l_vy^'^^^ Jj.i,j.j.~.Wuj. ^У
е ^ ^ v_y * _ ^s J

и 3"4 ^174.

Подблок: ';;,з-и" _цгя г:ср!i:'coi: ^i:i;г,ос:,-:!.i г по-""""":.т:пую г.г.т'гшу про::зго-д:т " :з'":;щ,,нг.о
порпусоЕ, упорядочен™;:: т подблоке лпнойного упорядоче-НЕЛ с учетом даннпх из блока,
запоминающего конструктивные даннне. Ви-писмваниз линейки Е матрицу производит в Еще
"глвандра", причем разъем размещают на краю платы, остальные корпуса размещают относительно
него. В этом же подблоке производят первичную оценку результатов размещения, проводят оценку
значения щелевой функции и определяют первоначальные координаты корпусов на поле платы.

Подблок сканирования матрицы и перераспределение корпусов микросхем и элементов
предназначен для оптимального размещения корпусов и оптимального перераспределения связей
платы с учетом технологических ограничений путем сканирования поля платы поочередно областью
сканирования, например, 2х2 посадочных места, площадью столбца л площадью строки поля платы.

Он опреэзля^ :т..,л;и;у -пр01.е;ип:ко~ о:яз:,:". корпусов, ПОШ.ЕП::Х

сз(...Л11и' w _a _гi... _'и-.-ii-.-* т .иц UJ...'- 'j'i' л! u i.. ' wU .i.'c. ^ _ \j. ^ ' ^ j 0^--1;; ^
С'Од-- ...-.- ---. ^ ^ О и.-.-, ui/t y 0-^ ^ • ^ ^ ; i, u ^ u j i .'-.-'j.'
:-:oo:/д.:11.:тч1 но/::: поз и;:::" ::;о':ауcoi; г/::::;;,ос:::^ [й щ,'- ::: :IOI;-JCTC,ЛО'J;Ю, опро;-L;;^;Т
i.iOTry;ib Z::.^;uTUiOc'.:::" ^.,, I:OTOI; ^ i o i'; ^ ,.. ^-jT :-:..з.1;о?ю.1Г...о лигулл т;со::
С'!.-'iS,^: ^ , !: ^ .б:.-.;::: .;1' /.;. з.-Лс:/ I-U-OT ::oOj.;v.r.:j-L...Т ::о;ч!;7ссь, !: ^ л;^оохо;:• i.-;о 'гоГ-. :i;g-
jCTгг.С"::,4;; ;;о'го;чЛ ^лсс;^Т?:Ор-1->т jс;oi::r ^ХС, .a,-' ^ тyЦ ^ ..-••" Д;^т •1оясн;1::1я я^яклс
ос^щ.;С'г1;:,и^н:-:л r-sou^.-i•,:::":::^ '...;Д-и-и: 1^я. Г..."-^с-
^ .-,^., _ ---!•-! ^j.!'...!.,•-; - о

"I; _ , Г01 > о .и ;' . , (i ^ / . х , зг^ 'x> . 1.4 x¹;: " " " ;
гт " ^ Р «. , Г,"г " ^ « »"i Ч) ' "О * " ' - г- i-v
- . ^ Г. ,Л"Т

" _!- ^ q
П У.. I¹!- - 0 " I: .iO"i » /" ^ ' ' ..! J" "C^.,^ ,и'^
--,, ^ - -> ~- - ^ ~s

. и . - * W v ^.'^1-.JL» w. И .J л/ ^ a.» _ v» -- •
" „ N. ч. , - ••• » 1> - « •••• y
" ^ « _ ' " »

- » ^ , - - - - 9
"•1 .7 -::: г. * (н¹.. ^ .: f , -4 Hipfft.;. г , . ^ ^ Б/ .
с' . ^ *"> . L ~: -4 . HL ;

р н , „ г i" , - />Φ> , " о - - . - , -.
л -y- - _
- * C ^ ^ . ' ... L ^ a. „ . v. ^ ^ л „
V^ L _ . - .v . x.' ., , u / ' ^ ' ,J. , v. I x —

Г" " * ' Г ^ q ^ . зон > о . i i _ o .: 5 (. ^ _ " i);
- т Г* ^ , ^ ,
Ч. ^ ^ / ^ - .Г¹ " т f "ч i ..-.,,, _ - .Т~Г

- -, т f r-r-f т ^ ^
1-V-Jt.. .: U.. 1 О ?

На фиг. 10 - плата, готовая к трассировке после распределения на ней корпусов микросхем.

ФОРМУЛА. ИЗОБРЕТЕНИЯ

Устройство для компоновки печатных плат, содержащее блоки кодирования и считывания элементов и связей схемы, конструктивных данных и технологических ограничений, выходы которых соединены с соответствующими входами блоков памяти, выходы которых соединены с соответствующими входами блока размещения и блока определения топологии печатной платы, выход которого соединен с входом блока управления, отличающееся тем, что, с целью повышения плотности монтажа, надежности и технологичности, оно снабжено блоком оценки результатов размещения для всех возможных перестановок корпусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, четвертый вход буферного запоминающего блока и первый выход микропроцессора соединены соответственно с первым выходом и пятым входом блока сканирования и перестановки корпусов микросхем, а также терминалом и оперативным запоминающим блоком, выход которого соединен со входом блока определения топологии печатной платы, а блок размещения выполнен в виде узла линейного упорядочения элементов и корпусов микросхем, вход которого соединен с выходом блока памяти элементов и связей, выход упомянутого узла соединен со вторым входом узла первоначального размещения корпусов микросхем, размещающего линейку корпусов микросхем в поле матрицы платы в виде "меандра", определяющего их координаты по формулам:

$$X_i = \begin{cases} n_i - (Y_i - 1) M_X & Y_i - \text{нечетно} \\ M_X \cdot Y_i - n_i + 1 & Y_i - \text{четно} \end{cases}$$

$$Y_i = \left\lfloor \frac{n_i - 1}{M_X} + 1 \right\rfloor,$$

где:

П« - номер позиции корпуса микросхемы в линейном размещении,

а.

IvL - количество мест в посадочном ряду по координате "X", оптимизирую-

л.

щего целевую функцию $I_{\text{ц}} = \sum_i X_i - \sum_i X_i^* + \sum_i Y_i - m \sum_i X_i Y_i$,

0

где X, Y, - координаты корпусов, принадлежащих X-ой связи и вы-

полненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый вход которого соединен с выходом блока памяти конструктивных данных, и оперативным запоминающим блоком, выход которого

6

соединен с четвертым входом блока сканирования и перестановки корпусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены

§ соответствующими выходами блоков памяти, регистра и оперативного запоминающего блока.

Авторы: [^]деБ[^]п[^]»М- Борщев
[^]/^4 A-A- Топов^{ов}fi / (И.Г. Мельничук
i

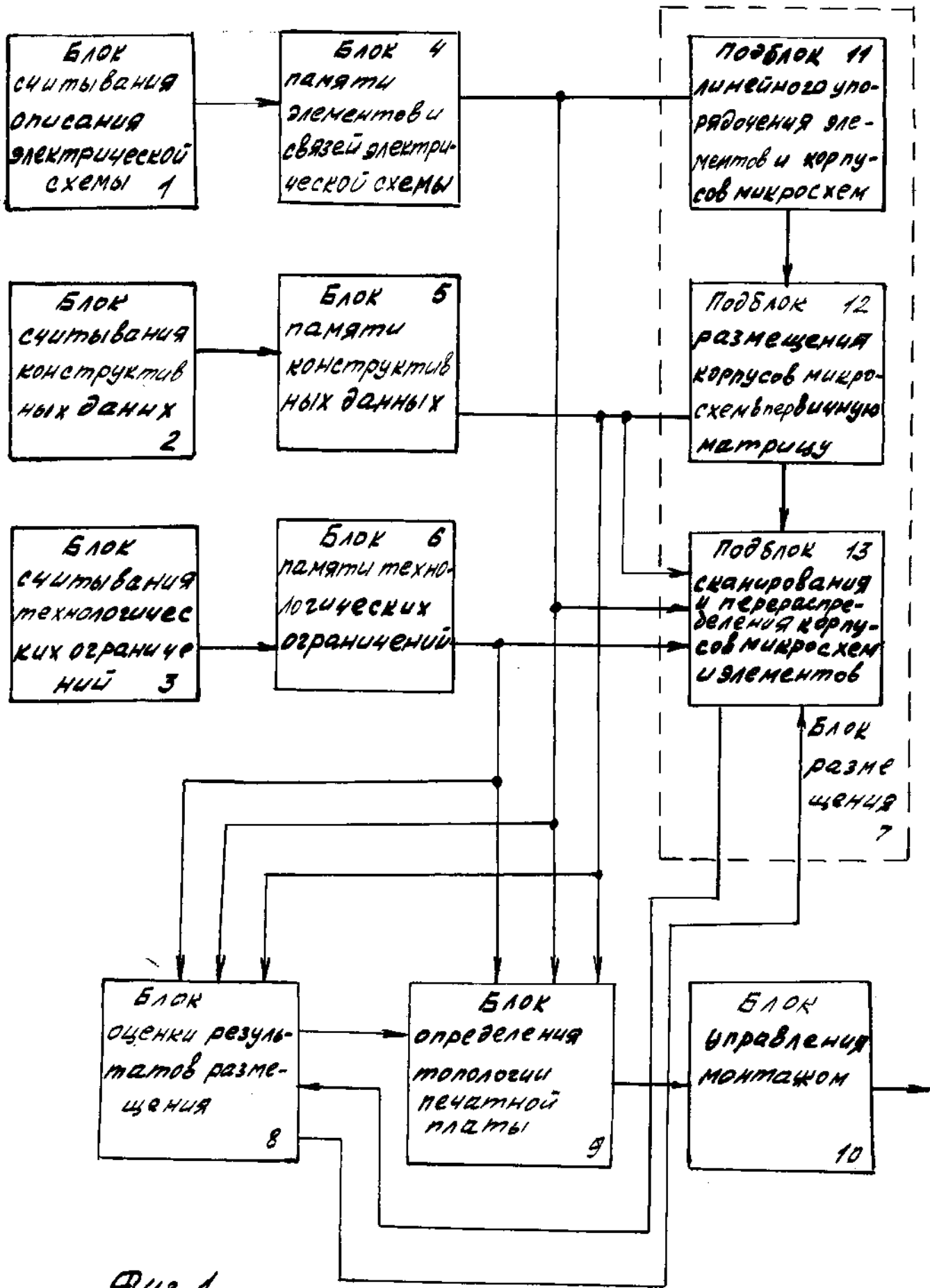
Директор ЖЩ "Патент" <~, /" Г.1. Зиновьева

c->/ .^ -ti/

/' <^> IS

I/

Способ изготовления печатных плат и устройства для его осуществления

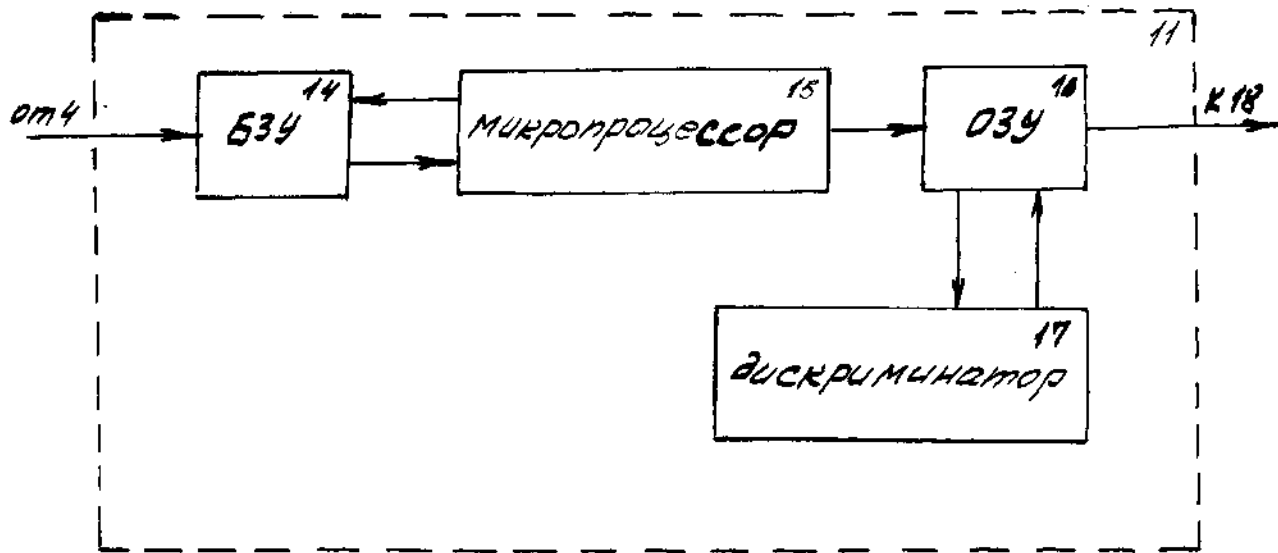


Фиг. 1

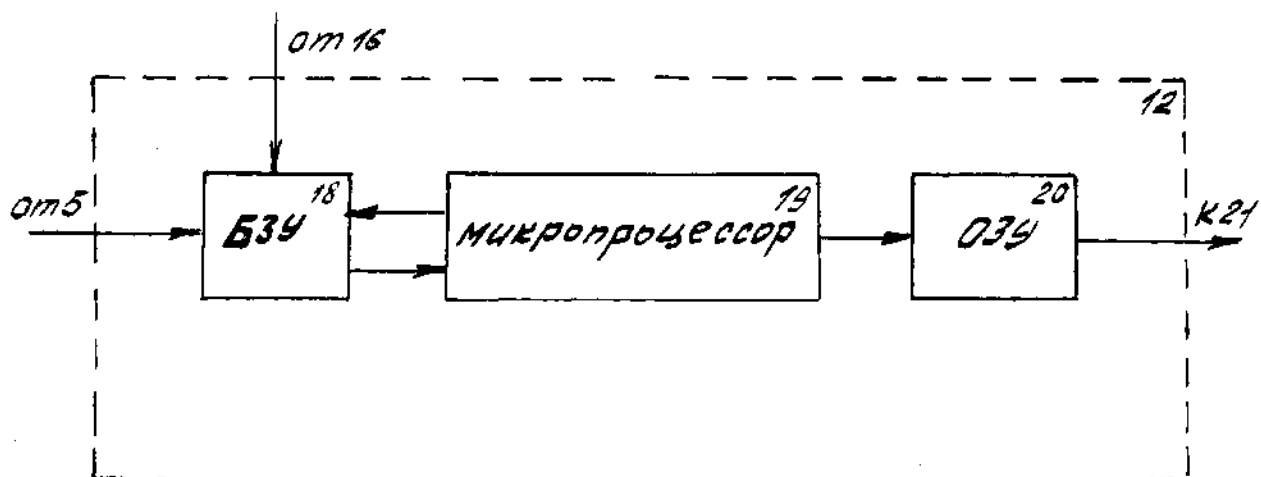
Авторы: Борщев В.М.
Тороев А.А.
Мельничук И.Г.

Изд. № 1000. Подпись и дата. Взам. инв. №. Подпись и дата.

Способ изготовления печатных плат и устройство для его осуществления



Фиг. 2.

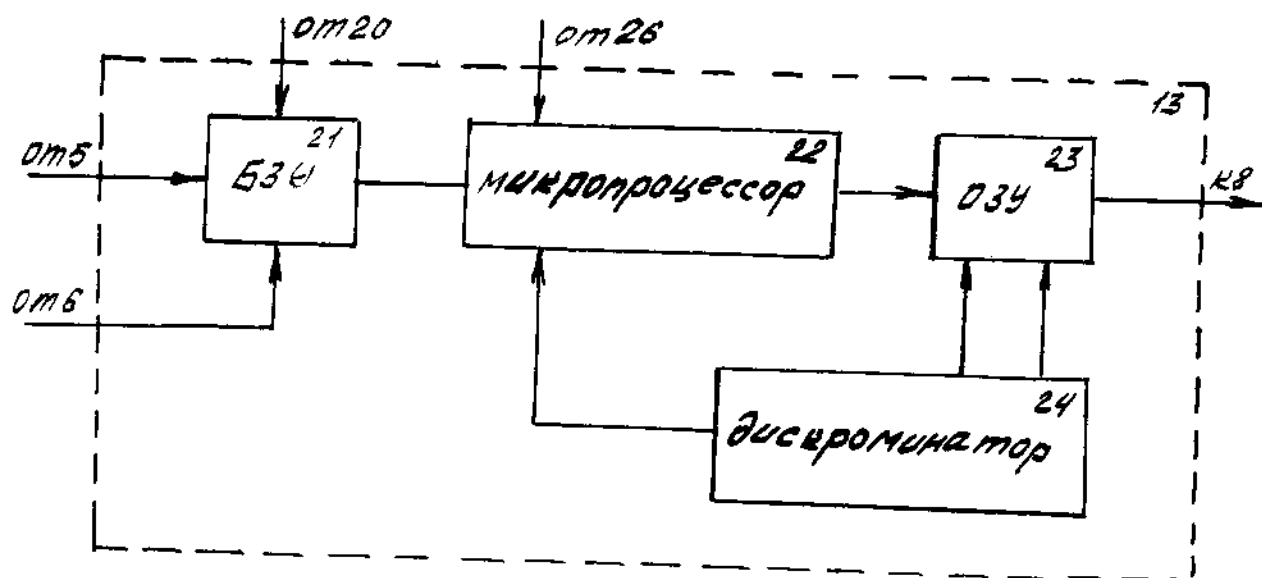


Фиг. 3

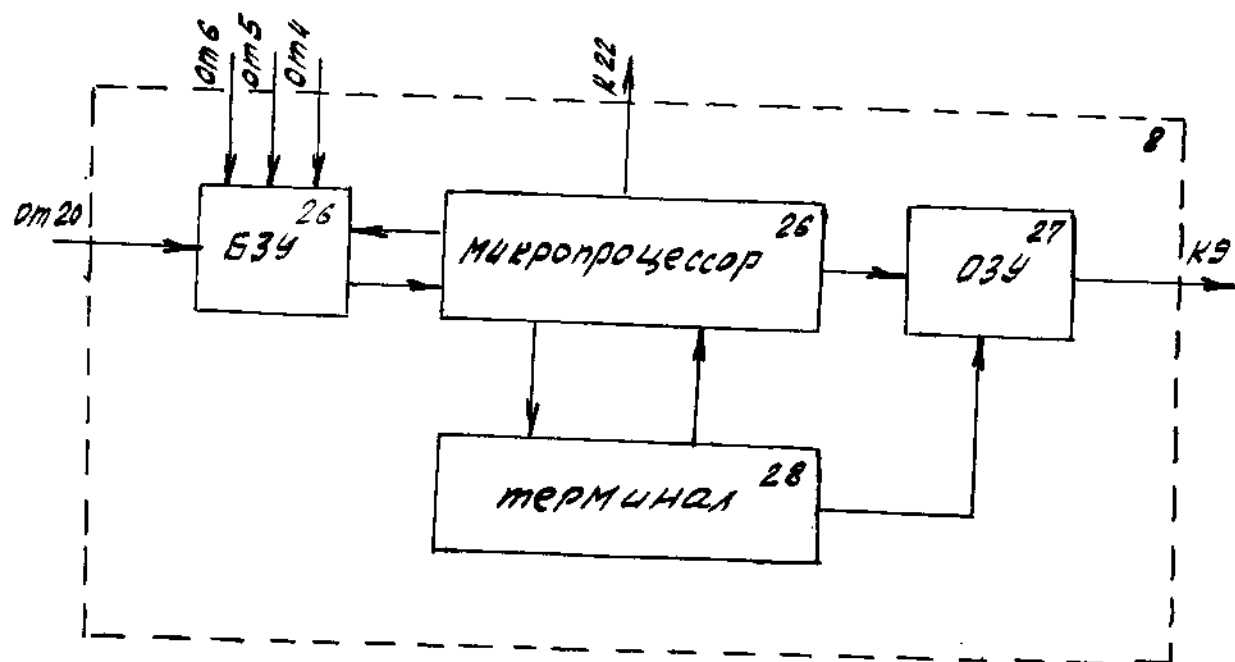
Авторы:

Борщев В.М.

Способ изготовления печатных плат и устройство для его осуществления



Фиг. 4.



Фиг. 5

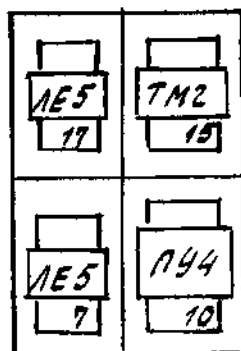
Способ изготовления печатных плат и устройство для его осуществления.

	1	2	3	4	5	6	7	8	9
K	ЛН2 91	ЛУ4 86	ТМ2 88	ЛА7 89	ЛЕ5 85	ТМ2 84	ТМ2 83	ЛЕ6 80	ЛН2 82
J	ТМ2 78	ЛЕ5 75	ЛУ4 73	ТМ2 76	ТМ2 79	ЛА9 76	ЛА7 81	ЛА9 87	ЛЕ6 90
H	ЛН2 71	ЛА7 77	ТМ2 79	ТМ2 70	ТМ2 69	ЛА8 68	ЛА7 67	ЛА9 59	ЛУ4 66
G	ЛА8 60	ТМ2 58	ЛА7 61	ЛН2 57	ЛЕ10 55	ЛЕ5 63	ЛА7 64	ЛА8 65	ТМ2 62
F	ТМ2 58	ТМ2 53	ЛА7 52	ТМ2 51	ЛУ4 54	ЛЕ5 49	ЛЕ6 34	ЛА7 30	ТМ2 48

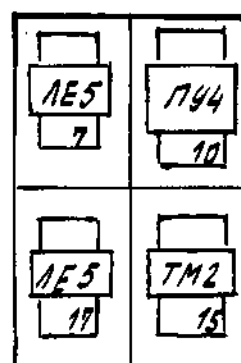
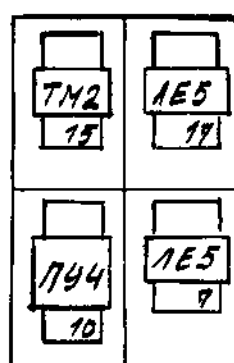
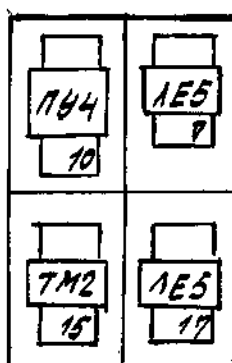
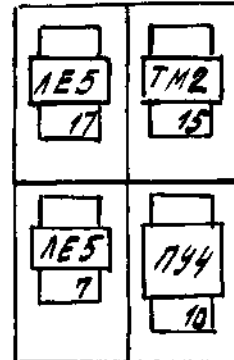
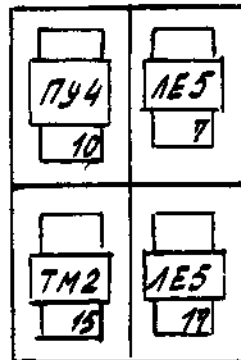
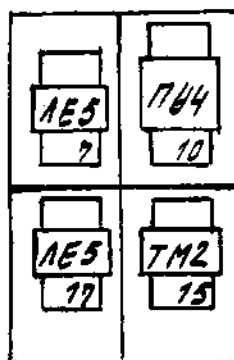
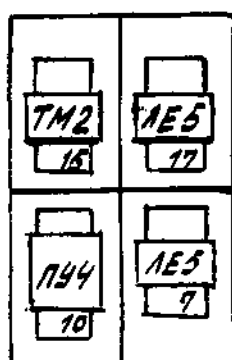
E	ТМ2 41	ТМ2 36	ЛА8 35	ТМ2 42	ЛА9 43	ЛА8 45	ЛН2 46	ЛА7 44	ЛА8 47
D	ЛЕ5 39	ТМ2 37	ЛА7 38	ТМ2 40	ЛУ4 33	ЛН2 32	ЛЕ6 30	ТМ2 31	ЛА9 24
C	ТМ2 21	ЛЕ10 19	ЛЕ5 22	ЛН2 23	ЛА7 25	ЛЕ5 26	ЛУ4 28	ТМ2 29	ТМ2 27
B	ЛЕ6 13	ЛУ4 20	ЛА7 14	ТМ2 11	ТМ2 18	ЛУ4 16	ЛЕ5 17	ТМ2 15	ЛН2 18
A	Б18 2	ЛЕ6 4	ЛА9 6	ЛЕ10 5	ЛЕ6 9	ЛА7 8	ЛЕ5 7	ЛУ4 10	Б18 3

сб и дата
Взам. инв. №
Инв. № 226
Подпись и дата

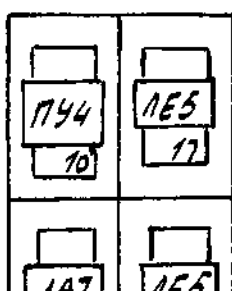
способ изготовления печатных плат 4 устройство для его осуществления



Фиг. 7

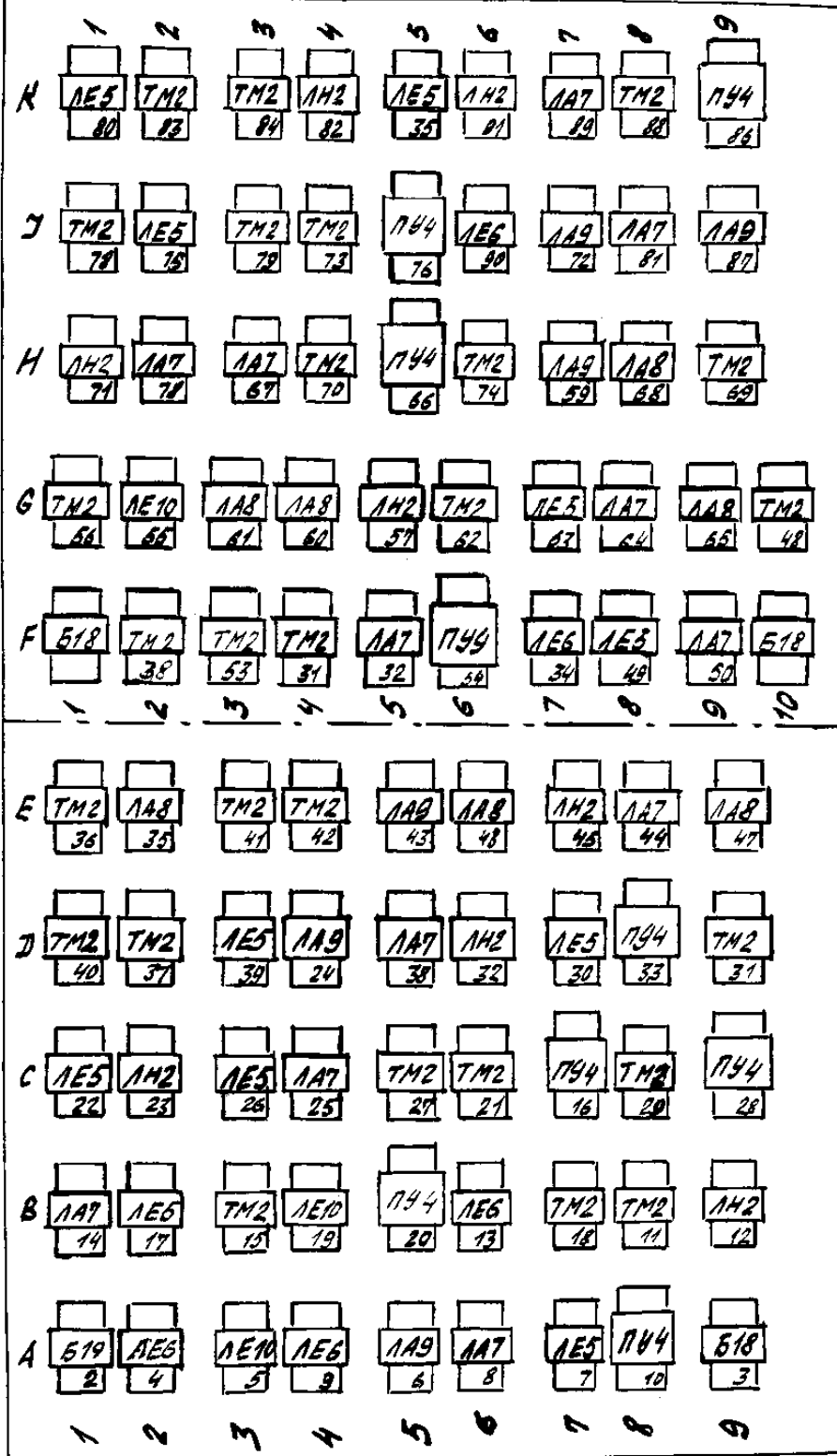


Фиг. 8



Авторы: Борцев В. М.

способ изготовления печатных плат и устройство для его осуществления



Разъем СМЗ4-135

Фиг. 10.

Авторы:

Борщев В.М.
Тороев А.А.
Мельничук И.Г.

А. Подпись и дата. Взам. инв. №. Инв. № док. Подпись и дата.

буферным запоминаю
 ".*.""
 щим блоком, первый - третий входы которого соединены с сеют-
 ветствующими выходами блоков памяти, регистра и оперативного
 : запоминающего блока.
 >;Г:'. . : - ..'...'•
 '..Источники шфоршиции, принятие во внимание при.экспер-
 тизе: . '• ' '••' ' >• - •. :•
 Патент США по кл», 3654*615 по кл» МКИ Н05К 3/00 /про
 тотип/.
 • " __.., / _____ ^
 Зам. зав. отделом ^'--^~Ь^', В. Данилов
 - * * "<-^~ - ' ' ' ' "
 ^' Эксперт :__'^^ ^ в. Верченко
 ' • ' ' • ' /У . '••••• - - '•••
 'L-- '•."
 '^;- " " .'" > £_ ' ,
 . -. "f^4439 -• t- -, ..-: ; ".
 • ' ' '•О^Ш» 3 Vfc3« '* \.
 ' 1^..€ло»2-,3-Ёгуфс •,
 - .&C."-3Г;"-»>'•I7-АО - '•йсзк'
 Верчдаяго ;:Й5йвкс«ц 21 02 90
 «