

Авторы: В.М. Борщев А.А.

Тор'оев И.Г.

Мельничук

!ЖИ<sub>4</sub> Н05 К 1,3,7,13 ЖИс

Н05 К 3/00

О

### Устройство для компоновки печатных плат

Изобретение относится к области вычислительной техники и может быть использовано при производстве печатных плат с повышенной плотностью проводников.

Известно устройство для изготовления печатных плат (пат.США. № 3654615), содержащее блок считывания описания схемы, которое своими выходами соединено с первым и вторым блоками памяти. Один из блоков памяти запоминает отношение каждого элемента к каждому из других элементов схемы для определения порядка распределения элементов схемы к позициям платы. Во втором блоке памяти хранится в виде списка порядок расположения элементов в зависимости от величины суммарной длины связей между элементами. Третий блок памяти устройства содержит сведения о плате, которые поступают туда от устройства считывания размера платы, и другие преобразованные данные. Выходы всех блоков памяти соединены с соответствующими входами блока размещения элементов на плате, который состоит из блока упорядочения элементов и блока распределения их.

Выходы первого и второго блоков памяти и выход блока размещения соединены с соответствующими входами блока вычисления образца матрицы платы, который определяет трассировку элементов схемы, и его выход соединен с устройством монтажа, которое выполняет функцию действительного соединения выбранных элементов для выполнения на плате монтажа нужной электрической схемы. Это устройство может быть различным в зависимости от технологии соединения позиций платы. Устройство распределения элементов на плате независимо от размеров распределемых элементов и конфигурации схемы.

Недостатком известного технического решения является то, что упорядочение элементов осуществляется по критерию максимальной связности, который не дает оптимизации распределения связей по полу платы и длине. Данное устройство не может быть использовано для изготовления плат, у которых максимальное количество связей соединено с разъемом, так как последний не может быть назначен в центре платы. Вторым недостатком является то, что применяемый здесь последовательный алгоритм размещения не дает достаточно хорошего результата по качеству получаемого размещения элементов. Третьим недостатком прототипа является и

то, что в ходе оптимизации размещения элементов по известному техническому решению, возникают так называемые плохие позиции для элементов и эти элементы размещают в матрицу в последнюю очередь на оставшиеся свободные позиции. А это уже приводит к неоптимальности размещения, что отражается на плотности рисунка платы, на её технологичность, возникновении длинных связей (длина связей по прототипу не оценивается), что ухудшает электрические параметры платы, и, в конечном счете, ведет к снижению надежности.

Целью изобретения является повышение плотности монтажа, надежности и технологичности изготовления печатных плат.

Поставленная цель достигается тем, что устройство снабжено блоком оценки результатов размещения для всех возможных перестановок корпусов микросхем, выполнено в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, четвертый вход буферного запоминающего блока и первый выход микропроцессора соединены соответственно с первым выходом и пятым входом блока сканирования и перестановки корпусов микросхем, а также терминалом и оперативным запоминающим блоком, выход которого соединен со входом блока определения топологии печатной платы, а блок размещения выполнен в виде узла линейного упорядочения элементов и корпусов микросхем, вход которого соединен с выходом блока памяти элементов и связей, выход упомянутого узла соединен со вторым входом узла первоначального размещения корпусов микросхем, размещающего линейку корпусов микросхем в поле матрицы платы в виде "меандра", определяющего их координаты по формулам:

$$x_i = \begin{cases} \frac{n_y - (y_i - 1)}{M_X} & y_i - \text{нечетно} \\ \frac{M_X \cdot y_i - n_y + 1}{M_X} & y_i - \text{четно} \end{cases}$$

$$y_i = \left[ \frac{n_y - 1}{M_X} + 1 \right], \quad \text{где:}$$

и, - номер позиции корпуса микросхемы в линейном размещении,

ш

$M_Y$  - количество мест в посадочном ряду по координате "X", оптимизи-  
-Л.

рующего целевую функцию  $L = \text{шах } X - \text{ий!п } X, + \text{иах } J - \text{otto. } Y$ ,  
 $X \quad 1 \quad 1 \quad l \quad f \quad 1$  где  $X$ ,  $Y$  - координаты корпусов,  
 принадлежащих 1 -ой связи и выпол-

1L И ненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый вход которого соединен с выходом блока памяти конструктивных данных, и оперативным запоминающим блоком, выход которого

соединен с четвертым входом блока сканирования и перестановки корпусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, регистра и оперативного запоминающего блока.

Признаки, отличающие заявленные технические решения от прототипа, не были, выявлены в других технических решениях.

Первый «?" третий блоки считывания и кодирования предназначены для для считывания и кодирования соответственно функционально-логических элементов размещаемой схемы и их связей, конструктивных данных, технологических ограничений и передачи их в соответствующий блок памяти. ) Первый ".«/третий блоки памяти предназначены для запоминания в ко-' дированном виде соответственно функционально-логических элементов размещаемой схемы и их связей, конструктивных данных и технологических ограничений.

Блок оценки результатов размещения предназначен для активного участия в процессе проектирования и изготовления печатных плат. Этот блок оценивает результаты размещения корпусов микросхем и элементов, информации, поступающей из блоков памяти и блока размещения, определяет уже конкретные показатели платы. Если данные размещения неудовлетворительны, этот блок вновь отправляет все данные в блок размещения для дальнейшей оптимизации.

Блок определения топологии (трассировки) печатной платы предназначен для трассировки связей печатной платы по данным, поступающим с блока оценки результатов размещения с учетом данных, поступающих с блоков памяти. Результаты трассировки записываются в регистры памяти и этот блок производит окончательное размещение элементов на плате, формирует новый перечень связей.

Блок управления монтажом предназначен для управления изготовлением печатной платы на основании информации с блока определения топологии печатной платы, позволяющей управлять любым из известных типовых технологических процессов производства печатных плат, выдает управляемые перфоленты для сверловки, получения фотошаблона и получения чертежа печатной платы.

Подблок линейного размещения предназначен для упорядочения элементов путем оптимизации линейного размещения функционально-логических элементов и корпусов микросхем минимизации функции  $0 - Y$  («5/\*- -ч>, О •  $i\$^<r~J*J$

по критерию максимальной связности, где  $f; \wedge$  - начальная, а  $Q; \wedge$  - конечная координаты связи  $s$  - в линейном размещении.

f~| *I* -, Л -р. Л -, „,-4 ~ « /Л "• » —" " ^ -  
 '»•-'• ,^ ,•>"• 1 - >/•>»•• - >^Л-,  
 v, J ч 1 .O O, иO ^ Оч,' — JL ;.u.j. .O ' v  
 . u> 0. „  
 Вгo~н' " \* v " 'V, -xO C сд . г >%!J ^ , .. !яг / г. -от -  
 я \*Л1 л : я" •", , - .31'^" , n f-tlo, 'ic J T C ~ vi -,: < г P\* -  
 Г ~•• л "O - ТОГО, Г7 vj I L "T ^ " " ^1 ^ .11" Т , "yil Oil J, L I T j —ЛГ " СГ\*  
 Э.о. , "ЛИ 37 11 } 3"° ПС-ГII " 1 ' 01 " ..-LI! " " ~ ^C1 , И, i , ^T1Г —  
 л\^" - " " " / ^ . - ^" ^ -- »Л» Г\ - - —' Г- , »»\*«Г11" ^T1ГГ1\*  
 n/^1i~ . iTf "TTt ^тпгпр СГ " " " i-\* уч«-чч«^ - 0 , T~ \*t—vjs-  
 1^r  
 ^/ л. ^ ' >/- >.. JL -L \* » -1 'vy ^! ^ ^ Jj.i.j.j.~.Wuj. ^y  
 e ^ ^ v\_y \* ^ s J

*u 3°4'17".*

Подблог: ';;,з-и"\_цгя r:cr!i:"coi: ^i:i;r,oc:,-!:i г по-""":..^:пую г.'г.т'гшу про::зго-д::т "з"::;ш,,нг.о порпусоE, упорядочен<sup>TM</sup>;:: т подблоке лпнойного упорядоче-НЕЛ с учетом даннх из блока, запоминающео конструктивные даннне. Ви-писмванив линейки Е матрицу производит в Еще "глвандра", причем разъем размещают на краю плати, остальныe корпуса размещают относительно него. В этом же подблоке производят первичную оценку результатов размещения, проводят оценку значения щелевой функции и определяют первоначальныe координаты корпусов на поле плати.

Подблок сканирования матрицы и перераспределение корпусов микросхем и элементов предназначен для оптимального размещения корпусов и оптимального перераспределения связей платы с учетом технологических ограничений путем сканирования поля платы поочередно областью сканирования, например, 2x2 посадочных места, площадью столбца л площадью строки поля платы. Он определяет расположение и тип корпусов, ПОШ.ЕП:Х

сз'...Л11' w ..a\_.ri...\_.'и .....•-.-ii.-\* т ..иц УJ...-'-:- 'j'i' л! u \_i..' wU .i.'c. .^,\_ j.^.'^j ..... 0^-1;;.^  
С'Од-- ...-.- ---. '^-^ ^: О и.-.-, ui./t y 0-'-j.-^ oo :^,;^,;^, u^ .uji.'-..-'j.'

:-оо:/д:11:тч1 но:/:::::поз и;::::" ::;о':аясои; г/:::::;,;ос:::^[й щ,!- :::::иои;-јСТС,ло'ј;IO, опро-;L.,;^;T  
i.iOTry;ib Z:::^;uTUiOc'..;::: ^..,;I:ОTOI,;^I оi^;^..-jT :-..3.1.;о?ю.1Г:..о.лигулл т;со::  
C'..-iS,^!^1, !^..б:-.;;;. ;1^ /.;, з.-Лc:/ I-U-OT ::оOj.;v.r.:j-L...T .::о;ч;!7cсь, '::: л;^оохо;::: i.-;о 'тоГ-. :i;g-  
jCTrr.C"::,4;, ;;;о'го;:чЛ ^лcc;:^T?:Op-1->t jc;:oi:::r ,^ХC, .a,-' ^тиЦ^ ..-••"Д;^т •1оясн;:1::1я я^якls  
ос^щ.;:С'г1;:,и^н:-:л r-sou^.^-i•.,;::"::: ^'..,;:Д--и::: 1^я. Г::."-^c-

На фиг. 10 - плата, готовая к трассировке после распределения на ней корпусов микросхем.  
ФОРМУЛА. ИЗОБРЕТЕНИЯ

Устройство для компоновки печатных плат, содержащее блоки кодирования и считывания элементов и связей схемы, конструктивных данных и технологических ограничений, выходы которых соединены с соответствующими входами блоков памяти, выходы которых соединены с соответствующими входами блока размещения и блока определения топологии печатной платы, выход которого соединен с входом блока управления, отличающееся тем, что, с целью повышения плотности монтажа, надежности и технологичности, оно снабжено блоком оценки результатов размещения для всех возможных перестановок корпусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, четвертый вход буферного запоминающего блока и первый выход микропроцессора соединены соответственно с первым выходом и пятым входом блока сканирования и перестановки корпусов микросхем, а также терминалом и оперативным запоминающим блоком, выход которого соединен со входом блока определения топологии печатной платы, а блок размещения выполнен в виде узла линейного упорядочения элементов и корпусов микросхем, вход которого соединен с выходом блока памяти элементов и связей, выход упомянутого узла соединен со вторым входом узла первоначального размещения корпусов микросхем, размещающего линейку корпусов микросхем в поле матрицы платы в виде "меандра", определяющими их координаты по формулам:

$$x_{\frac{i}{j}} = \begin{cases} n_{\frac{i}{j}} - (y_{\frac{i}{j}} - 1) M_x & y_{\frac{i}{j}} - \text{нечетно} \\ M_x \cdot y_{\frac{i}{j}} - n_{\frac{i}{j}} + 1 & y_{\frac{i}{j}} - \text{четно} \end{cases}$$

$$y_{\frac{i}{j}} = \frac{n_{\frac{i}{j}} - 1}{M_x} + 1, \quad \text{где:}$$

П<sub>к</sub> - номер позиции корпуса микросхемы в линейном размещении,

а.

I<sub>вL</sub> - количество мест в посадочном ряду по координате "X", оптимизирующ-

Л.

щего целевую функцию  $I_{\text{ц}} = \text{дах } X, - I_{\text{ш}} X^* + \text{шах } Y, - M_X Y, 0$ ,

где X, Y, - координаты корпусов, принадлежащих X -ой связи и вы-

'£ "t полненного в виде микропроцессора, снабженного буферным запоминающим

блоком, первый вход которого соединен с выходом блока памяти конструктивных данных, и оперативным запоминающим блоком, выход которого

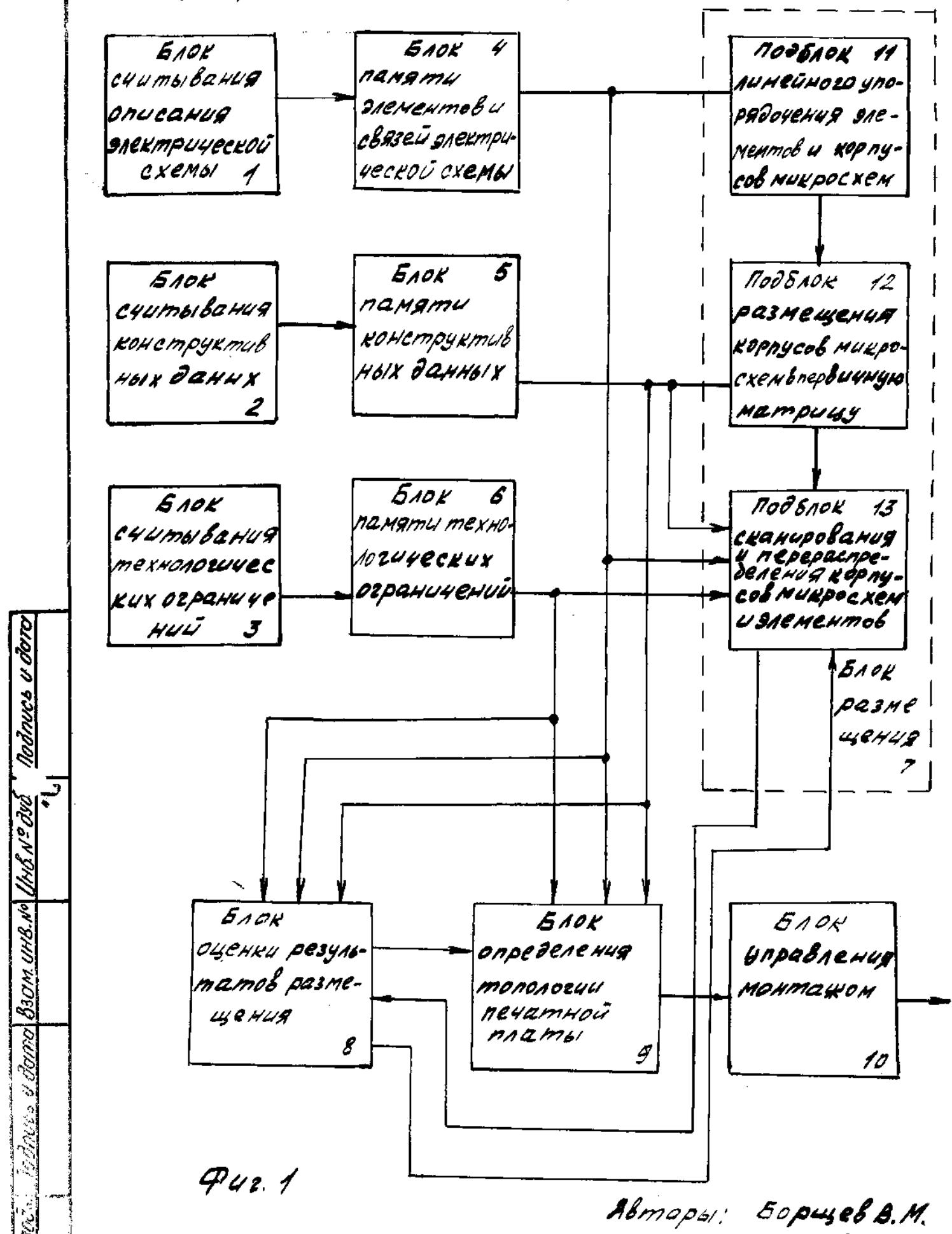
соединен с четвертым входом блока сканирования и перестановки корпусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены

§ соответствующими выходами блоков памяти, регистра и оперативного запоминающего блока.

Авторы: ^ ^дe^п ^ »M- Борщев  
^/ ^ ^4 A-A- ToP ^e^fi / ( И.Г. Мельничук  
i

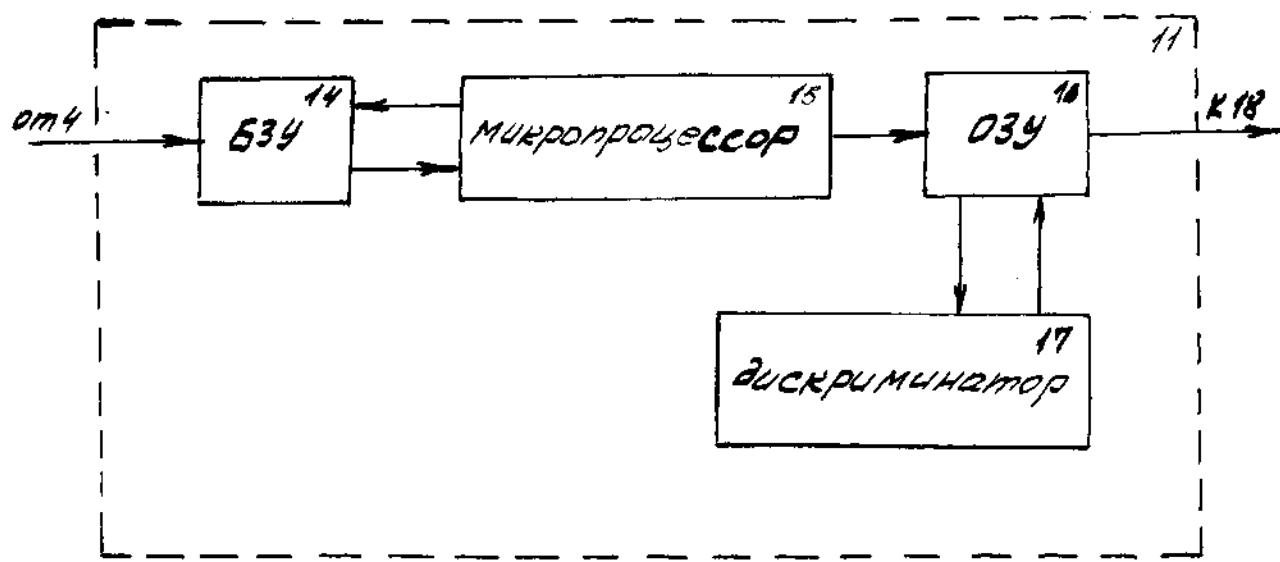
Директор ЖЩ "Патент" <~, / Г.1. Зиновьева  
c->/ .^ -ti/  
/ ' <^ > IS  
I/

Способ изготовления печатных плат и  
устройство для его осуществления

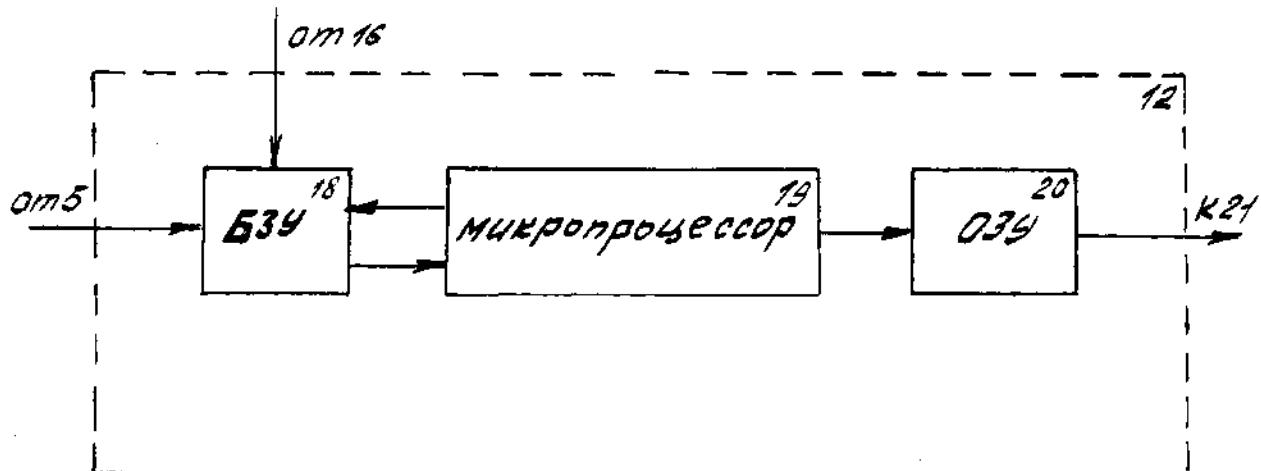


Авторы: Борщев В.М.  
Тороев А.А.  
Мельничук Ч.Г.

Способ изготовления печатных плат  
и устройство для его осуществления



Фиг. 2.



Фиг. 3

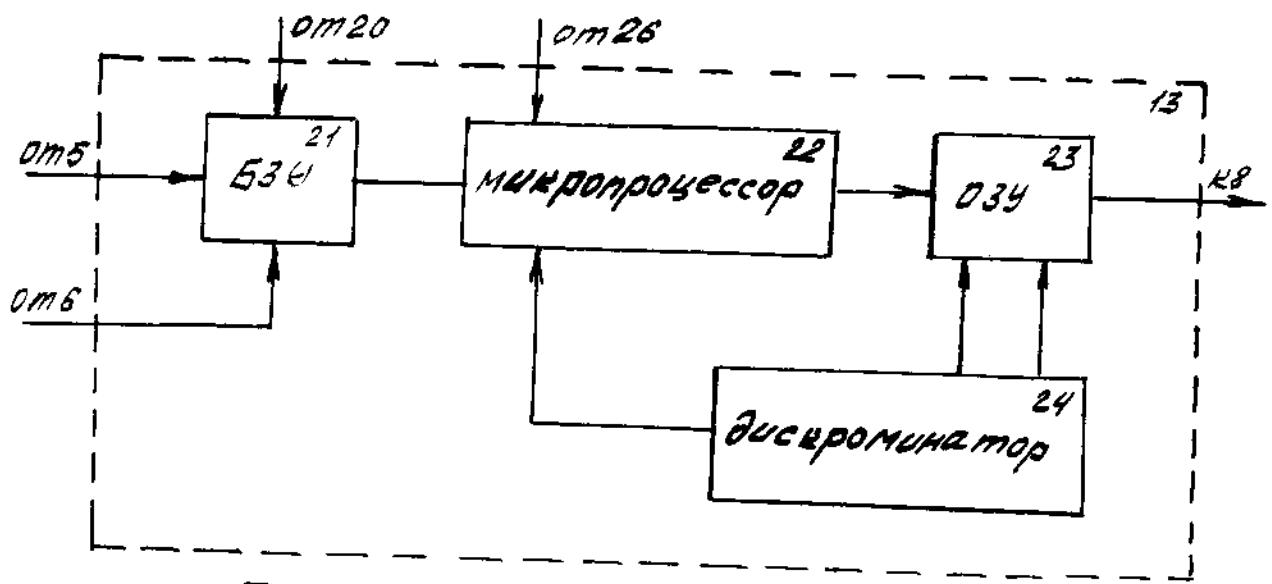
6 и выше	взом. инв. №	дата	подпись и дата
1.			

Авторы:

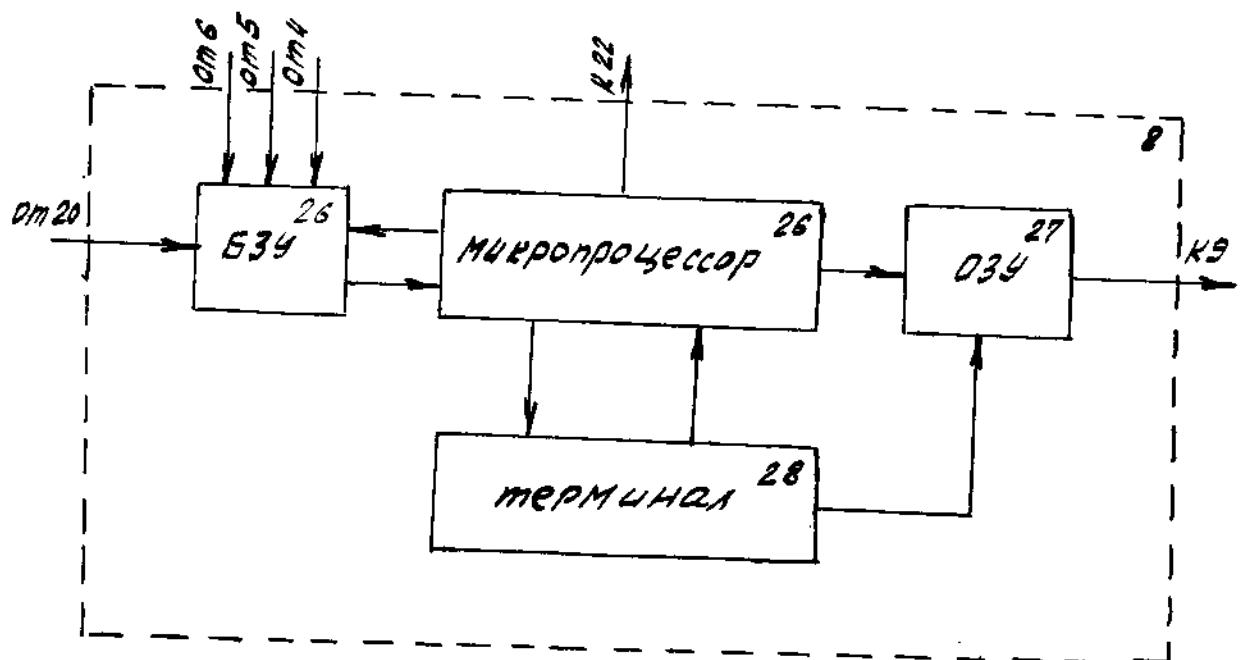
Борщев В.И.



Способ изготавления печатных плат  
и устройство для его осуществления



Фиг. 4.



Фиг. 5

нр. п.зап.	нр. п.зап.	подпись и дата
1	1	1



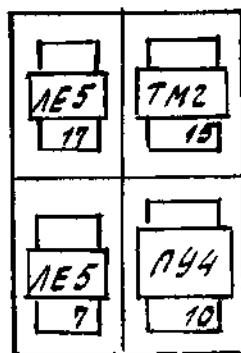
Способ изготавления печатных плат и устройство  
для его осуществления.

	1	2	3	4	5	6	7	8	9
K	142 91	1144 86	7142 88	1147 89	1145 85	7142 84	7142 83	1146 80	142 82
J	7142 78	1145 75	1144 73	7142 76	7142 79	1149 76	1147 81	1149 87	1146 90
H	142 71	1147 79	7142 79	7142 70	7142 69	1148 68	1147 67	1149 59	1144 66
G	1148 60	7142 56	1147 61	1142 59	11410 55	1145 63	1147 64	1148 65	7142 62
F	7142 58	7142 53	1147 52	7142 51	1144 54	1145 49	1146 34	1147 50	7142 48
E	7142 44	7142 36	1148 35	7142 42	1149 43	1148 40	1142 46	1147 46	1148 47
D	1145 39	7142 37	1147 38	7142 40	1144 33	1142 32	1145 30	7142 31	1149 24
C	7142 21	11410 19	1145 22	1142 23	1147 25	1145 26	1144 28	7142 29	7142 27
B	1145 13	1144 20	1147 14	7142 11	7142 18	1144 16	1145 17	7142 16	1142 18
A	518 2	1146 4	1149 6	11410 5	1145 9	1147 8	1145 7	1144 10	518 3

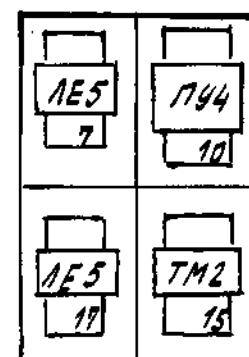
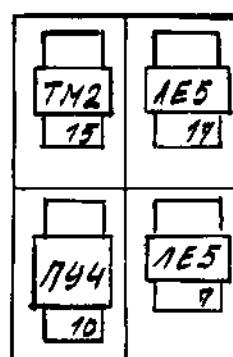
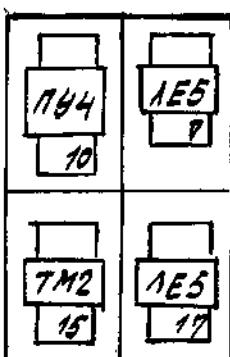
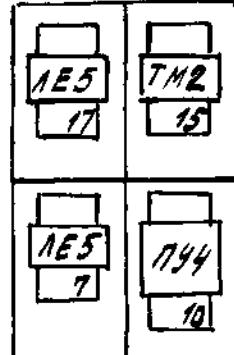
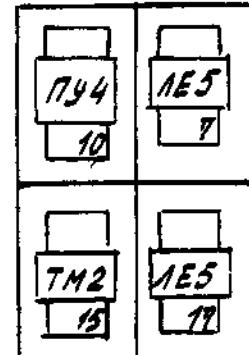
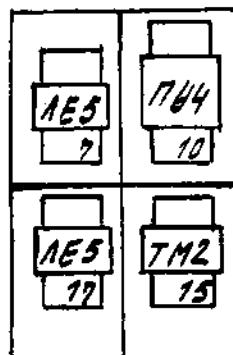
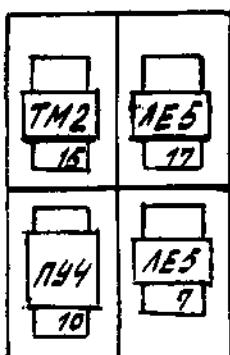
з. в. здома в зоне УНВ. № подачи в зоне



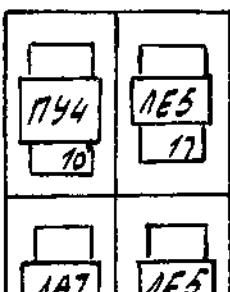
Способ 4320 товлення печатних пластик  
устроїство їхнєго осуществлення



Фіг. 7



Фіг. 8



Авторы: Борщев В.М.



Способ изготовления печатных плат и устройство  
для его осуществления

	1	2	3	4	5	6	7	8	9
K	ЛЕ5 80	TM2 83	TM2 84	ЛН2 82	ЛЕ5 35	ЛН2 81	ЛН7 89	TM2 88	ЛН4 86
J	TM2 78	ЛЕ5 75	TM2 79	TM2 73	ЛН4 76	ЛЕ6 90	ЛН9 72	ЛН7 81	ЛН9 87
H	ЛН2 71	ЛН7 78	ЛН7 67	TM2 70	ЛН4 66	TM2 74	ЛН9 59	ЛН8 68	TM2 69
G	TM2 56	ЛЕ10 65	ЛН8 61	ЛН8 60	ЛН2 57	TM2 62	ЛН5 63	ЛН7 64	ЛН8 65
F	518 38	TM2 53	TM2 31	ЛН7 32	ЛН4 56	ЛН6 34	ЛН3 49	ЛН7 50	518 58
	1	2	3	4	5	6	7	8	9
E	TM2 36	ЛН8 35	TM2 41	TM2 42	ЛН9 43	ЛН8 48	ЛН2 45	ЛН7 49	ЛН8 47
D	TM2 40	TM2 31	ЛЕ5 39	ЛН9 24	ЛН7 38	ЛН2 33	ЛН5 30	ЛН4 33	TM2 31
C	ЛЕ5 22	ЛН2 23	ЛЕ5 26	ЛН7 25	TM2 27	TM2 21	ЛН4 16	TM2 20	ЛН4 28
B	ЛН7 14	ЛН6 11	TM2 15	ЛЕ10 19	ЛН4 20	ЛН6 13	TM2 18	TM2 11	ЛН2 12
A	519 2	ЛЕ5 4	ЛЕ10 5	ЛЕ6 9	ЛН9 6	ЛН7 8	ЛЕ5 7	ЛН4 10	518 3
	1	2	3	4	5	6	7	8	9

Раздел СНПЧ-135

Ф 12. 10.

Авторы:

Борщев В.М.  
Тороев А.А.  
Мельниченко С.Г.

Устройство для компоновки печатных плат, содержащее блоки кодирования и считывания влекгнтов и связей схемы,

конструктивных данных к технологических ограничений» выходы которых соединены с соответствующими входами блоков памяти» выходы которых соединены с соответствующими входами блока

"i.-t

разделения и блока определения топологии печатной платы\* выход которого соединен с входом блока управления» от л и - ч а ю щ в е о я тем, что» с целью повышения плотности мои\* ; тажа, надежности и технологичности, оно снабжено блоком оцен-.. ки результатов размещения для всех возможных перестановок корпусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы

"", V.,-, г\* \*%"\*\*;, 1'

.\*;: которого соединены с соответствующими выходами блоков памя-

1\*1"^-"- .x. \* ^ , ,

• s /k i ^f \*;

ти, четвертый вход буферного запоминающего блока и первый выход

&\*••" .•'.."""">-•

.микропроцессора соединены соответственно с первым выходом

I-,>1 пятый входом блока сканирования и перестановки корпусов

Л- ;..!<.-•••• \* ..!•:-.- •••!•-.,

микросхем, а также терминалом и оперативным запоминающим

Ш%"\*^-^-" • '••'•'• . . . . ..

-% блоком, выход которого соединен со входом блока определения

ШК^'Х^ •'•-.\*..

топологии печатной платы, а блок размещения выполнен в виде узла линейного упорядочения элементов и корпусов микросхем, вход которого соединен с выходом блока памяти элементов и связей, выход упомянутого узла соединен со вторым входом узла

\* - -ч

первоначального размещения люрпсов микросхем, размещающего лиуяейку корпусов микросхем в поле матрицы платы в виде "меандра", определяющего их координаты по формулам:

$$x = \begin{cases} n_i - (y_i - 1) M_x \\ (M_x \cdot y_i - n_i + 1) \end{cases}$$

y<sub>i</sub> - нечетно

y<sub>i</sub> - четно

$$y = \left[ \frac{n_i - 1}{M_x} \right] + 1$$

где

K\ - номер позиции корпуса микросхемы в линейном размещении, Mx - количество мест в посадочном ряду по координате "X" оптимизирующего це^ую функцию L1 - ^a\* ^I" VAU\ Y^A-Vwax ^ - W\u\ ^I\, где X O» ^ ~ координаты корпусов, принадлежащих t -той связи и выполненного в виде микропроцессора» снабженного буферным запоминающим блоком, первый вход которого соединен

>• \* ' V

с выходом блока памяти конструктивных данны, и оперативным запоминающим блоком, выход-которого соединен с четвертым входом, блока сканирования и перестановки корпусов микросхем, выполненного в виде микропроцессора, снабженного

буферным запоминаю

"\_•\*•""

щим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, регистра и оперативного запоминающего блока.

;>Г:!. . : - - ..'...''•

'..Источники шфоршции, принятие во внимание при экспертизе: . '• ! '••' >• - • . ,;•

Патент США по кл», 3654\*615 по кл» МКИ Н05К 3/00 /прототип/.

•" \_\_\_\_ / ^ .., / ^ ..

Зам. зав. отделом ^--^~Ь^, В. Данилов

- \* \* " <^~ - ' ' ' "

^' Эксперт :\_\_!^ ^ в. Верченко

' ' ' ' ' /Y . ' . •••••• - - '•:••

L-- ' . "•

'^;-" " .'"> t- ' .

. - "f^4439 -• t- -, ..--: ; ".

• ''!..О^Ш» 3 BfC3« ' \* | .

' 1^..€ло»2-,3-Ёгу£с •,

- .&С."-3Г;"-»>'•'I7-AO - '-йсзк'

Верчдаяго ;:Й5ийвк<sup>с</sup>щ 21 02 90

«