Авторы: В.М. Борщев А.А. Тор'оев И.Г. Мельничук

!ЖИ$_4$ Н05 К 1,3,7,13 ЖИс
Н05 К 3/00
О

Устройство для компоновки печатных плат

Изобретение относится к области вычислительной техники и может быть использовано при производстве печатных плат с повышенной плотностью проводников.

Известно устройство для изготовления печатных плат (пат.США. № 3654615), содержащее блок считывания описания схемы, которое своими выходами соединено с первым и вторшл блоками памяти. Один из блоков памяти запоминает отношение каждого элемента к каждому из других элементов схемы для определения порядка распределения элементов схемы к позициям платы. Во втором блоке памяти хранится в виде списка порядок расположения элементов в зависимости от величины суммарной длины связей между элементами. Третий блок памяти устройства содержит сведения о плате, которые поступают туда от устройства считывания размера платы, и другие преобразованные данные. Выходы всех блоков памяти соединены с соответствующими входами блока размещения элементов на плате, который состоит из блока упорядочения элементов и блока распределения их.

Выходы первого и второго блоков памяти и выход блока размещения соединены с соответствующими входами блока вычисления образца матрицы платы, который определяет трассировку элементов схемы, и его выход соединен с устройством монтажа, которое выполняет функцию действительного соединения выбранных элементов для выполнения на плате монтажа нужной элек!рической схемы. Это устройство может быть различным в завив симости от технологии соединения позиций платы. Устройство распределения элементов на плате независимо от размеров распределяемых элементов и конфигурации схемы.

Недостатком известного технического решения является то, что упорядочение элементов осуществляется по критерию максимальной связности, который не дает оптимизации распределения связей по полю платы и длине. Данное устройство не может быть использовано для изготовления плат, у которых максимальное количество связей соединено с разъемом, так как последний не может быть назначен в центре платы. Вторым недостатком является то, что применяемый здесь последовательный алгоритм размещения не дает достаточно хорошего результата по качеству получаемого размещения элементов. Третьим недостатком прототипа является и

то, что в ходе оптимизации размещения элементов по известному техническому решению, возникают так называемые плохие позиции для элементов и эти элементы размещают в матрицу в последнюю очередь на оставшиеся свободные позиции. А это уже приводит к неоптимальности размещения, что отражается на плотности рисунка платы, на её технологичность, возникновении длинных связей (длина связей по прототипу не оценивается), что ухудшает электрические параметры платы, и, в конечном счете, ведет к снижению надежности.

Целью изобретения является повышение плотности монтажа, надежности и технологичности изготовления печатных плат.

Поставленная цель достигается тем, что устройство снабжено блоком оценки результатов размещения для всех возможных перестановок корпусов микросхем, выполнено в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, четвертый вход буферного запоминающего блока и первый выход микропроцессора соединены соответственно с первым выходом и пятым входом блока сканирования и перестановки корпусов микросхем, а также терминалом и оперативным запоминающим блоком, выход которого соединен со входом блока определения топологии печатной платы, а блок размещения выполнен в виде узла линейного упорядочения элементов и корпусов микросхем, вход которого соединен с выходом блока памяти элементов и связей, выход упомянутого узла соединен со вторым входом узла первоначального размещения корпусов микросхем, размещающего линейку корпусов микросхем в поле матрицы платы в виде "меандра", определяющего их координаты по формулам:

$$X_i = \begin{cases} n_i - (Y_i - 1)\, M_X & Y_i \text{ - нечетно} \\ M_X \cdot Y_i - n_i + 1 & Y_i \text{ - четно} \end{cases}$$

$$Y_i = \left[\frac{n_i - 1}{M_X} + 1 \right], \quad \text{где:}$$

и, - номер позиции корпуса микросхемы в линейном размещении,
ш

M_Y - количество мест в посадочном ряду по координате "X", оптимизи-
-Л.

рующего целевую функцию L . = шах X. - **йй!п** X, + «иах *J.* - ***otto.*** **У» ,**
X 1 1 *л* £ 1 где X« , У* - координаты корпусов, принадлежащих 1 -ой связи и выпол-
1L I ненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый вход которого соединен с выходом блока памяти конструктивных данных, и оперативным запоминающим блоком, выход которого

соединен с четвертым входом блока сканирования и перестановки корпусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, регистра и оперативного запоминающего блока.

Признаки, отличающие заявленные технические решения от прототипа, не были, выявлены в других технических решениях.

Первый «?' третий блоки считывания и кодирования предназначены для для считывания и кодирования соответственно функционально-логических элементов размещаемой схемы и их связей, конструктивных данных, технологических ограничений и передачи их в соответствующий блок памяти.) Первый ".«/третий блоки памяти предназначены для запоминания в ко-' дированном виде соответственно функционально-логических элементов размещаемой схемы и их связей, конструктивных данных и технологических ограничений.

Блок оценки результатов размещения предназначен для активного участия в процессе проектирования и изготовления печатных плат. Этот блок оценивает результаты размещения корпусов микросхем и элементов, информации, поступающей из блоков памяти и блока размещения, определяет уже конкретные показатели платы. Если данные размещения неудовлетворительны, этот блок вновь отправляет все данные в блок размещения для дальнейшей оптимизации.

Блок определения топологии (трассировки) печатной платы предназначен для трассировки связей печатной платы по данным, поступающим с блока оценки результатов размещения с учетом данных, поступающих с блоков памяти. Результаты трассировки записывают в регистры памяти и этот блок производит окончательное размещение элементов на плате,формирует новый перечень связей.

Блок управления монтажом предназначен для управления изготовлением печатной платы на основании информации с блока определения топологии печатной платы, позволяющей управлять любым из известных типовых технологических процессов производства печатных плат, выдает управляю* щие перфоленты для сверловки, получения фотошаблона и получения чертежа печатной платы.

Подблок линейного размещения предназначен для упорядочения элементов путем оптимизации линейного размещения функционально-логических элементов и корпусов микросхем минимизации функции *0* - *У* («5/*- -ч>,О

- • *⁴i$^<r~ J*J*

по критерию максимальной связности, где *£;* ^ - начальная,

а Q; - конечная координаты связи *c* - в линейном размещении.

^ *V

4 ?

f~ *t* *1* -, Л -р. .Л -, „-4 ~ « /Л "• » —" " ^ -

'»•-'• ,'^ ,•>"-• 1 - >,/•>•»•-• - >^^л-,

v, J ч 1 .О О, иО ^ Оч,' _ JL ;.u j. .О ' v

. *u* > _0 . „.

Вго~н' " * v " 'V, -хО *С* сд . г >%'J ^ , ., !.яг / г. -от -

я *Л1 л : я" •", ,- - .31'^ " , n f-tlo, 'ic JTC~ vi -„.: < г Р* -

Г _ ~'~ • .л "О - ТОГО, Г7 vj I L"T ^ "' ^^1 ^ .11" Т ,"yil Oil J,LITj—'ЛГ " СГ*

Э.о. , "ЛИ 37 11 } 3"° ПС-ГII п 1 ' 01 n ..-LI! " "~ ^ С1 , И, i э ^Т1Г —

л\^" - """/^^. -^"^ -- »л» г\ - - —' г- , »»*«Г11 11 T1ГГ1*

n/^1i~ . iTf "TTt ^тпгпр СГ """ i-* УЧ«-ЧЧ«^- 0 , т~ ***t—Vjrs-**

1^r

^/ л. ^_ ' >/- >. . JL -L * » - l_'vy^'^^^ Jj.i,j.j.~.Wuj. ^У

е ^ ^ v_y *_ ^*s* *J*

ш 3"4 ^174.

Подблог: ';;:,з-и"_:цгя r:ср!i:'coi: ^i:i;r,ос::,-:!.i г по-"":"":.т:пую г.'г.т'гщу про::зго-д::т ":з'"::;щ„нг.о порпусоЕ, упорядочен™;:: т подблоке лпнойного упорядоче-НЕЛ с учетом даннпх из блока, запоминающего конструктивные даннне. Ви-писмванив линейки Е матрицу производит в Еще "глвандра", причем разъем размещают на краю плати, остальные корпуса размещают относительно него. В этом же подблоке производят первичную оценку результатов размещения, проводят оценку значения щелевой функции и определяют первоначальные координаты корпусов на поле плати.

Подблок сканирования матрицы и перераспределение корпусов микросхем и элементов предназначен для оптимального размещения корпусов и оптимального перераспределения связей платы с учетом технологических ограничений путем сканирования поля плати поочередно областью сканирования, например, 2х2 посадочных места, площадью столбца л площадью строки поля плати. Он опреззля^ :т..,л:и;у -пр01.е;ип:ко~ о::яз:.;:". корпусов, ПОШ.ЕП::Х

сз(...Л11и' w ..a_ .ri..._..'и .....•-.-ii-.-* т .иц UJ...'-':- rj'i' л! u_i..' wU .i.'c. .^,_ \j.^. ',^j .:... 0^--1,;.^

С'Од-- ...-.- ---. '-^ ^: О и.-.-, ui/.t у 0-'-j-^ •• :-^;:-:, u^.uji.'-..-:'j.'

:-:оо:/д:.11:.тч1 но/::::: поз и:;:::" :.;о'.:аусоi; г./:::::;.;,ос:::^[й щ,!'- :::: :IOI;-JCTC,JIO'J;IO, опро-;L.,;^,;T i.iOTrty;ib Z::.^:,uTUiOc'..;:.": ^..,, I:OTOI,:,^I oi:;^,..^.-jT :-:..з.1,:о?ю.1Г:..о .лигулл т;.со::

С'.'.-'iS,^:'.1, :'.'.:.б:.-.;;:. .;.1: /'.;. з.-Лс:./ I-U-OT ::oOj.;v.r..:j-L...T . ::о;ч!;7ссь, ;'.:: л;^оохо;.:• i.-;о :гоГ-. :i;g-jCTrr.C".:.,4;, ;;;о:го;:чЛ ^лсс;:^'Т?:Ор-1->т jc;;oi::.r ,^ХС, .а,-' ^ *тцЦ^* ..-••" Д;^т •1оясн:;1::1я я^яклс ос^щ..;С'г1:;,и^н:-:л r-sou^.^-i•.,::.":.: ::^ '..,.:.;Д--и:: 1 1я. Г:.."-^с-

^ .-,,^•._, ---'-• -' ^j.•':..'. .,-•_; - о

"I; _„ Г01 > о ..и ; ' . , (i^ /. х , зг^ 'х> . 1.4 х1,: " " " ;

ГТ "^ Р «. , Г,"г п ^ « »"i Ч) ' "О * " ' - г- i-v

- . ^ Г. ,Л"т

" -'- ^ *9*

II У.. I1.'!- - 0 " I : .iO"i » /" ^ ' ' .._! J" "С^.,^ ,и'^

- -„ ^ - -> ~- - ^ ~ s

-• ^ ч ^

. и . - * W v ^.'^1-.JL» w. И .J л/ ^ а.»_ v» -- •

. „ N. ч. , - •*• » 1> - « •*••• У

"^ «_ ' " »

- » ч- , - - - - 9

"•1 .7 -.::. г. * _ (н1-. . ^. :. f , ,-4 Hipfft.;. г , . .^^ь/ .

с ' . . ^ *"> . *L ~:* - 4 . HL ;

р N , „ г i" , - />Ф> ," о - - . - , -.

л -у - - _

_ - * С — ^ ^ . ' ... L ^ а. ,. . v. ^ ^ л „

V^ L _. - . v . х.' ., , u / ' ^ ' ,J. , v. I х —

г" "* ' г^ ч^. зон > о . :i _ о .: 5 (. ^ _ " i);

- т Г* ^ ,^.,

Ч. ^^ /^ - .Г1 " т f "ч i ..-.,,.,_ _ -.т~г

- -, т *f* r-r-f т ^^

1-V-Jt.. :. U.. 1 О ?

На фиг. 10 - плата, готовая к трассировке после распределения на ней корпусов микросхем.

ФОРМУЛА. ИЗОБРЕТЕНИЯ

Устройство для компоновки печатных плат, содержащее блоки кодирования и считывания элементов и связей схемы, конструктивных данных и технологических ограничений, выходы которых соединены с соответствующими входами блоков памяти, выходы которых соединены с соответствующими входами блока размещения и блока определения топологии печатной платы, выход которого соединен с входом блока управления, отличающееся тем, что, с целью повышения плотности монтажа, надежности и технологичности, оно снабжено блоком оценки результатов размещения для всех возможных перестановок корпусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы которого соединены с соответствующими выходами блоков памяти, четвертый вход буферного запоминающего блока и первый выход микропроцессора соединены соответственно с первым выходом и пятым входом блока сканирования и перестановки корпусов микросхем, а также терминалом и оперативным запоминающим блоком, выход которого соединен со входом блока определения топологии печатной платы, а блок размещения выполнен в виде узла линейного упорядочения элементов и корпусов микросхем, вход которого соединен с выходом блока памяти элементов и связей, выход упомянутого узла соединен со вторым входом узла первоначального размещения корпусов микросхем, размещающего линейку корпусов микросхем в поле матрицы платы в виде "меандра", определяющего их координаты по формулам:

$$X_i = \begin{cases} n_i - (У_i - I)\, M_X & У_i \text{ - нечетно} \\ M_X \cdot У_i - n_i + I & У_i \text{ - четно} \end{cases}$$

$$У_i = \left[\frac{n_i - I}{M_X} + I \right],$$

где:

П« - номер позиции корпуса микросхемы в линейном размещении,
а.

IvL - количество мест в посадочном ряду по координате "X", оптимизирую-
Л.

щего целевую функцию I»- = дах X, - *Ша* X* + шах У» - мХп У. ,
I *I* I I I

0

где X, , У, - координаты корпусов, принадлежащих X -ой связи и вы-
'£ *"t* полненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый вход которого соединен с выходом блока памяти конструктивных данных, и оперативным запоминающим блоком, выход которого

6

соединен с четвертым входом блока сканирования и перестановки корпусов микросхем, выполненного в виде микропроцессора,снабженного буфершм; запоминающим блоком, первый - третий входы которого соединены § соответствующими выходами блоков памяти, регистра и оперативного запоминающего блока.

Авторы: ^ ^деЬ^п ^»М- Борщев
^/^^4 А-А- ТоРоев *fi / (* И.Г. Мельннчук
i

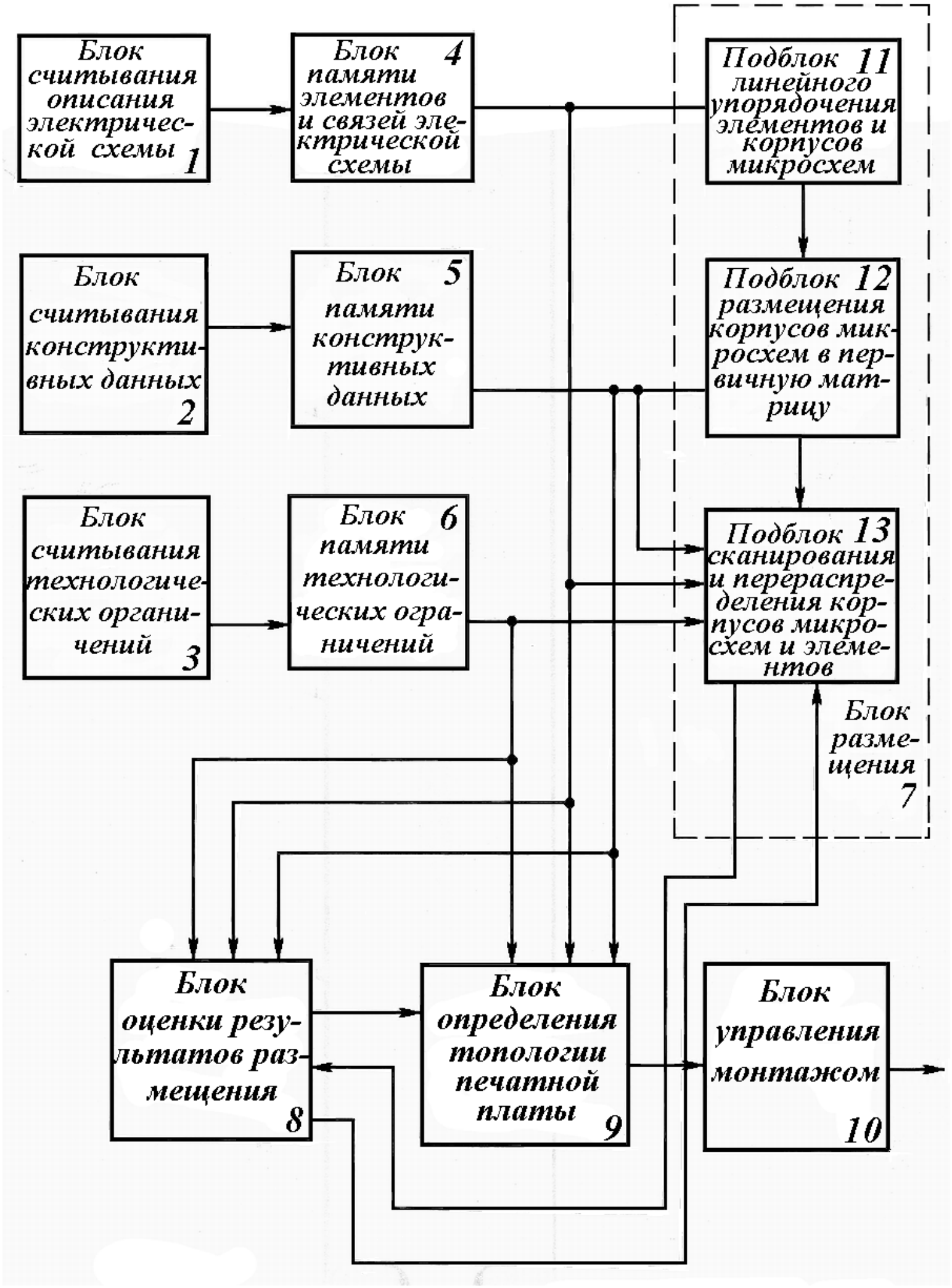
Директор ЖЩ "Патент" <~, /' Г.1. Зиновьева

c->/ .^-ti/

/' <^> IS

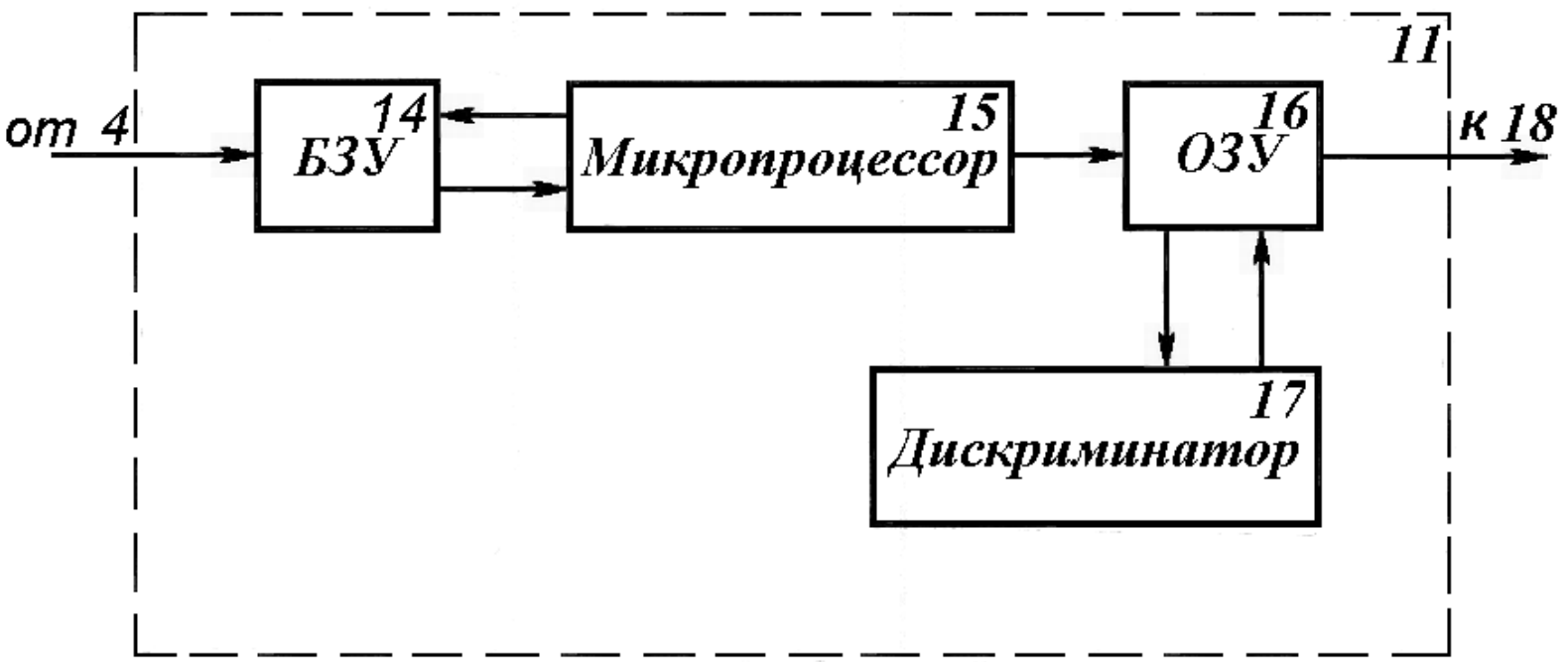
I/

Способ изготовления печатных плат и устройства для его осуществления

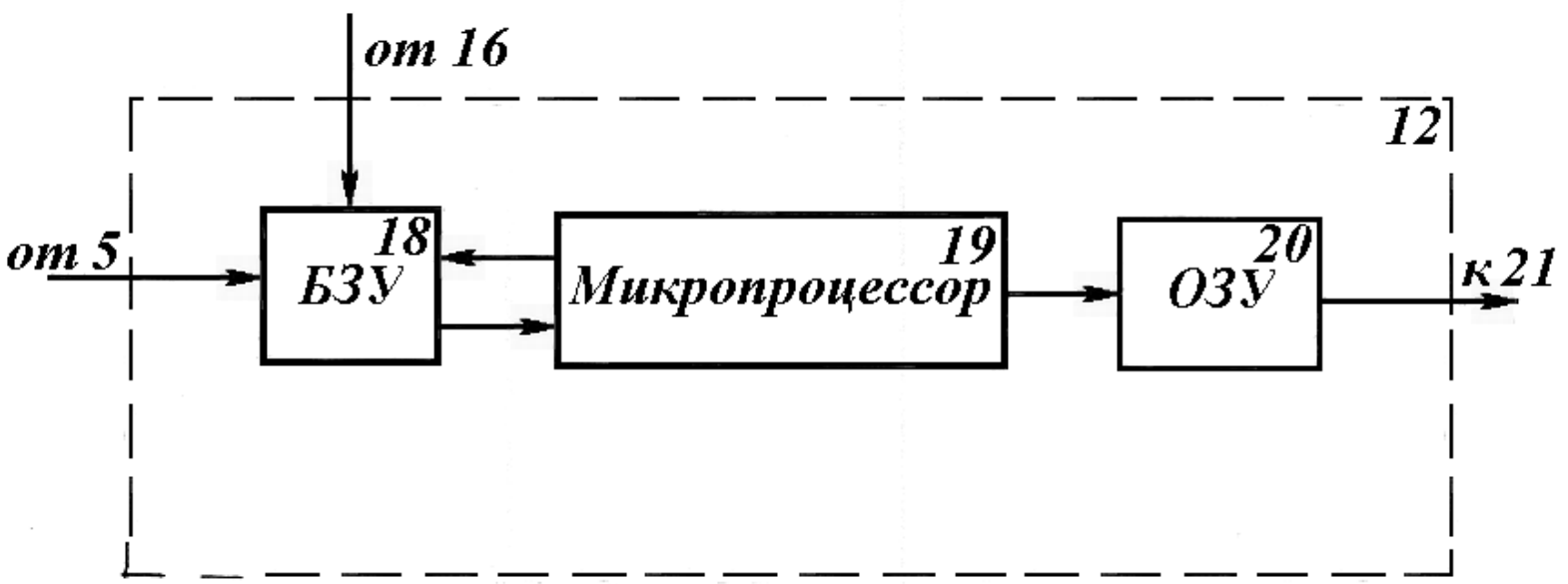


Фиг. 1

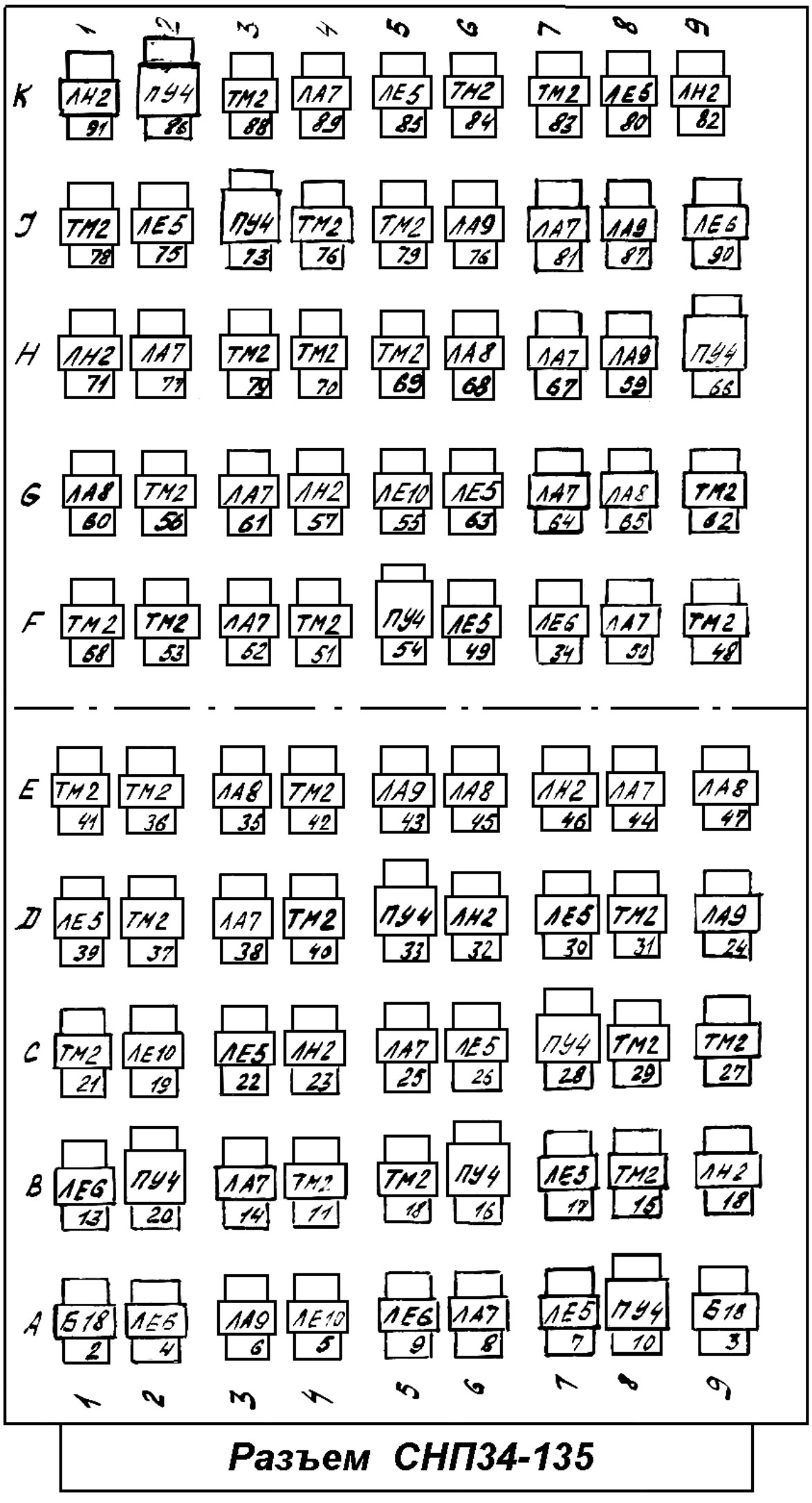
Способ изготовления печатных плат и устройство для его осуществления



Фиг. 2

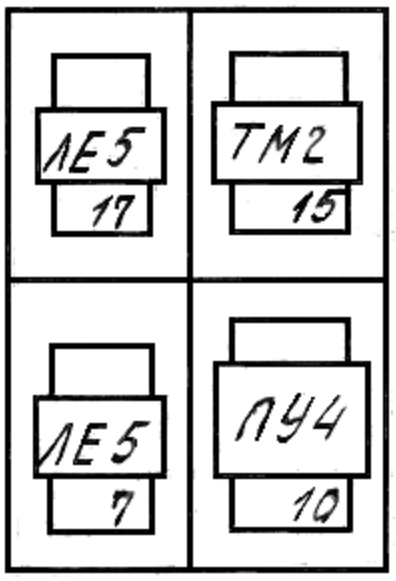


Фиг. 3



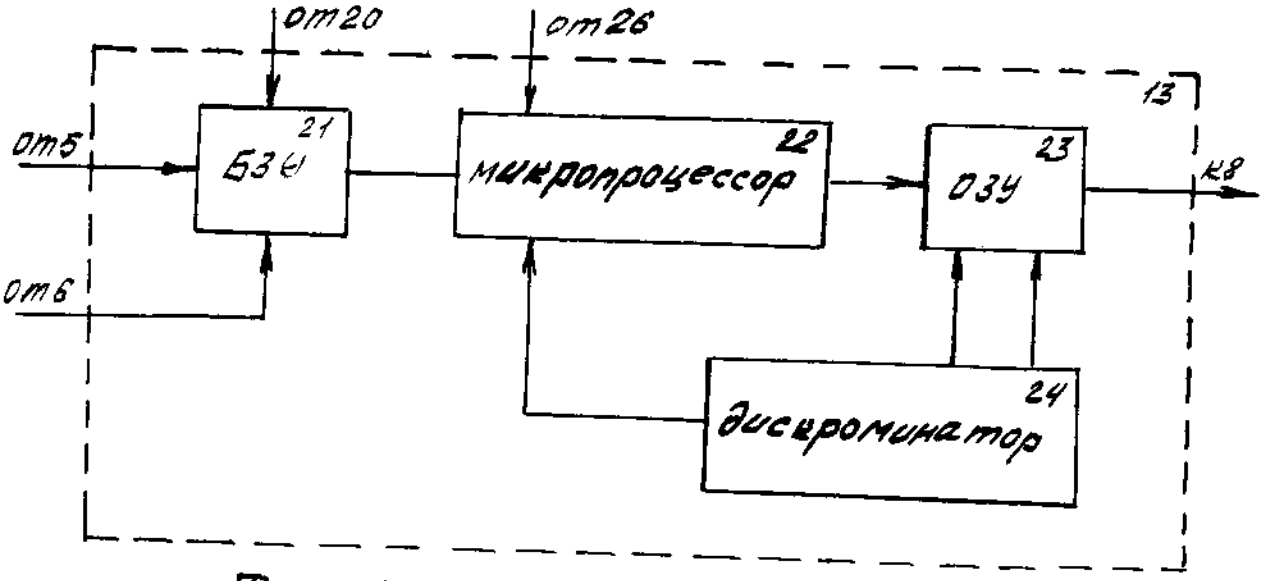
Разъем СНП34-135

Фиг. 6

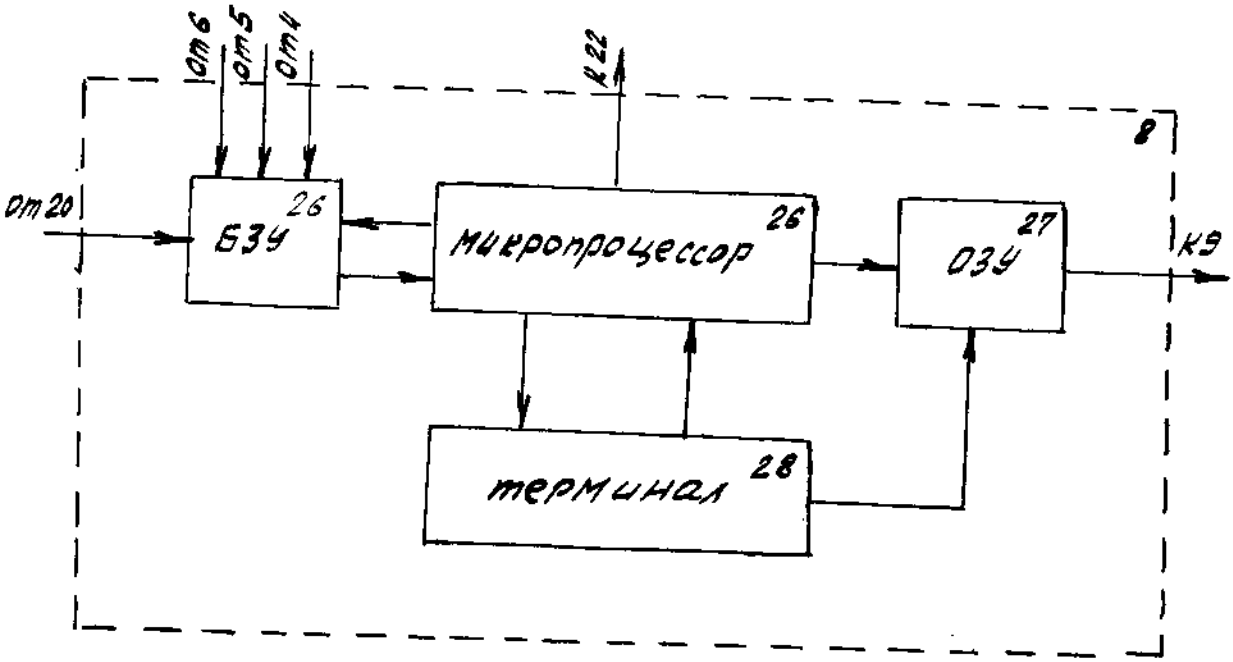


Фиг. 7

Способ изготовления печатных плат и устройство для его осуществления



Фиг. 4.



Фиг. 5

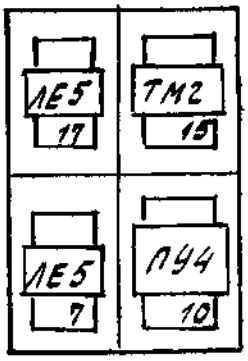
Подпись и дата
Инв. № дуб.
Взам. инв. №
Подпись и дата

Способ изготовления печатных плат и устройство для его осуществления.

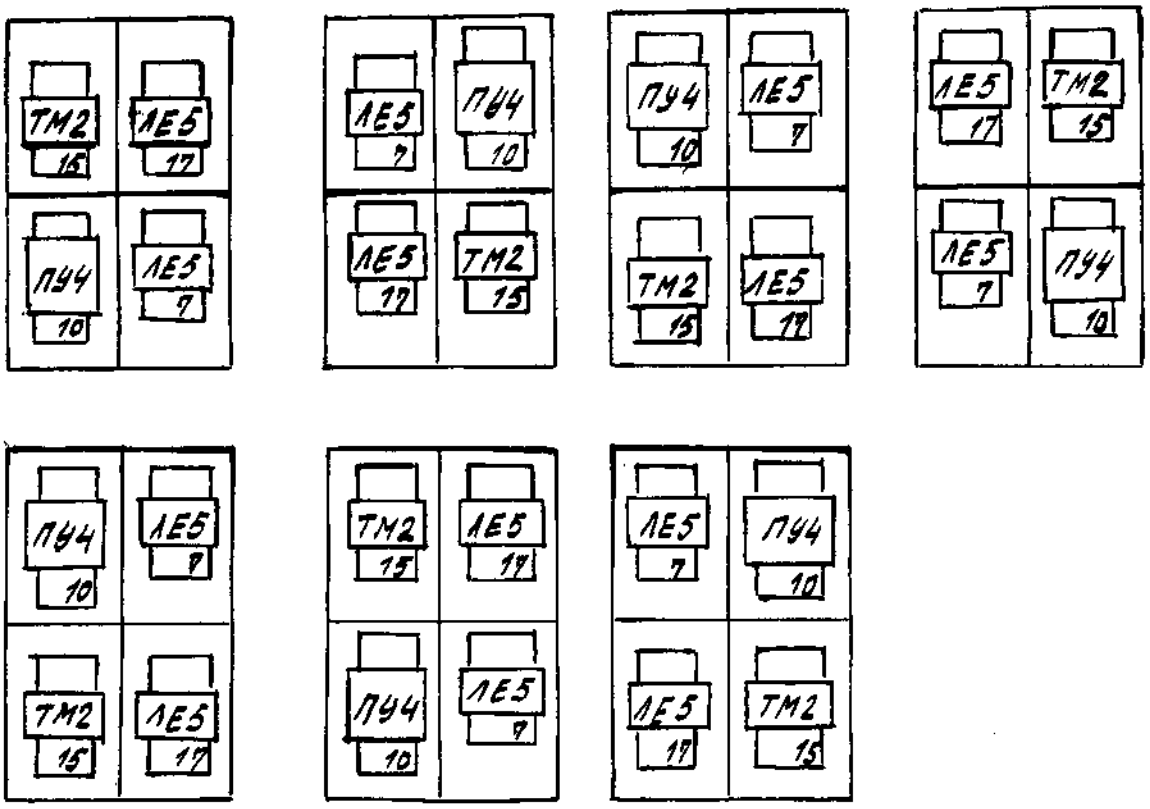
	1	2	3	4	5	6	7	8	9
К	ЛН2 91	ПУ4 86	ТМ2 88	ЛА7 89	ЛЕ5 85	ТМ2 84	ТМ2 83	ЛЕ6 80	ЛН2 82
J	ТМ2 78	ЛЕ5 75	ПУ4 73	ТМ2 76	ТМ2 79	ЛА9 76	ЛА7 81	ЛА9 87	ЛЕ6 90
Н	ЛН2 71	ЛА7 77	ТМ2 74	ТМ2 70	ТМ2 69	ЛА8 68	ЛА7 67	ЛА9 59	ПУ4 66
G	ЛА8 60	ТМ2 56	ЛА7 61	ЛН2 57	ЛЕ10 55	ЛЕ5 63	ЛА7 64	ЛА8 65	ТМ2 62
F	ТМ2 58	ТМ2 53	ЛА7 52	ТМ2 51	ПУ4 54	ЛЕ5 49	ЛЕ6 34	ЛА7 50	ТМ2 48
Е	ТМ2 41	ТМ2 36	ЛА8 35	ТМ2 42	ЛА9 43	ЛА8 48	ЛН2 46	ЛА7 44	ЛА8 47
D	ЛЕ5 39	ТМ2 37	ЛА7 38	ТМ2 40	ПУ4 33	ЛН2 32	ЛЕ6 30	ТМ2 31	ЛА9 24
С	ТМ2 21	ЛЕ10 19	ЛЕ5 22	ЛН2 23	ЛА7 25	ЛЕ5 26	ПУ4 28	ТМ2 29	ТМ2 27
В	ЛЕ6 13	ПУ4 20	ЛА7 14	ТМ2 11	ТМ2 18	ПУ4 16	ЛЕ5 17	ТМ2 15	ЛН2 18
А	Б18 2	ЛЕ6 4	ЛА9 6	ЛЕ10 5	ЛЕ6 9	ЛА7 8	ЛЕ5 7	ПУ4 10	Б18 3

Подпись и дата | Инв. № дубл. | Взам. инв. № | Подпись и дата

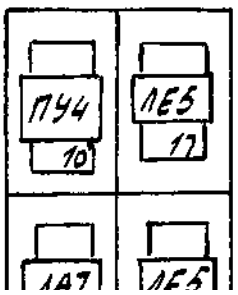
Способ изготовления печатных плат и устройство для его осуществления



Фиг. 7



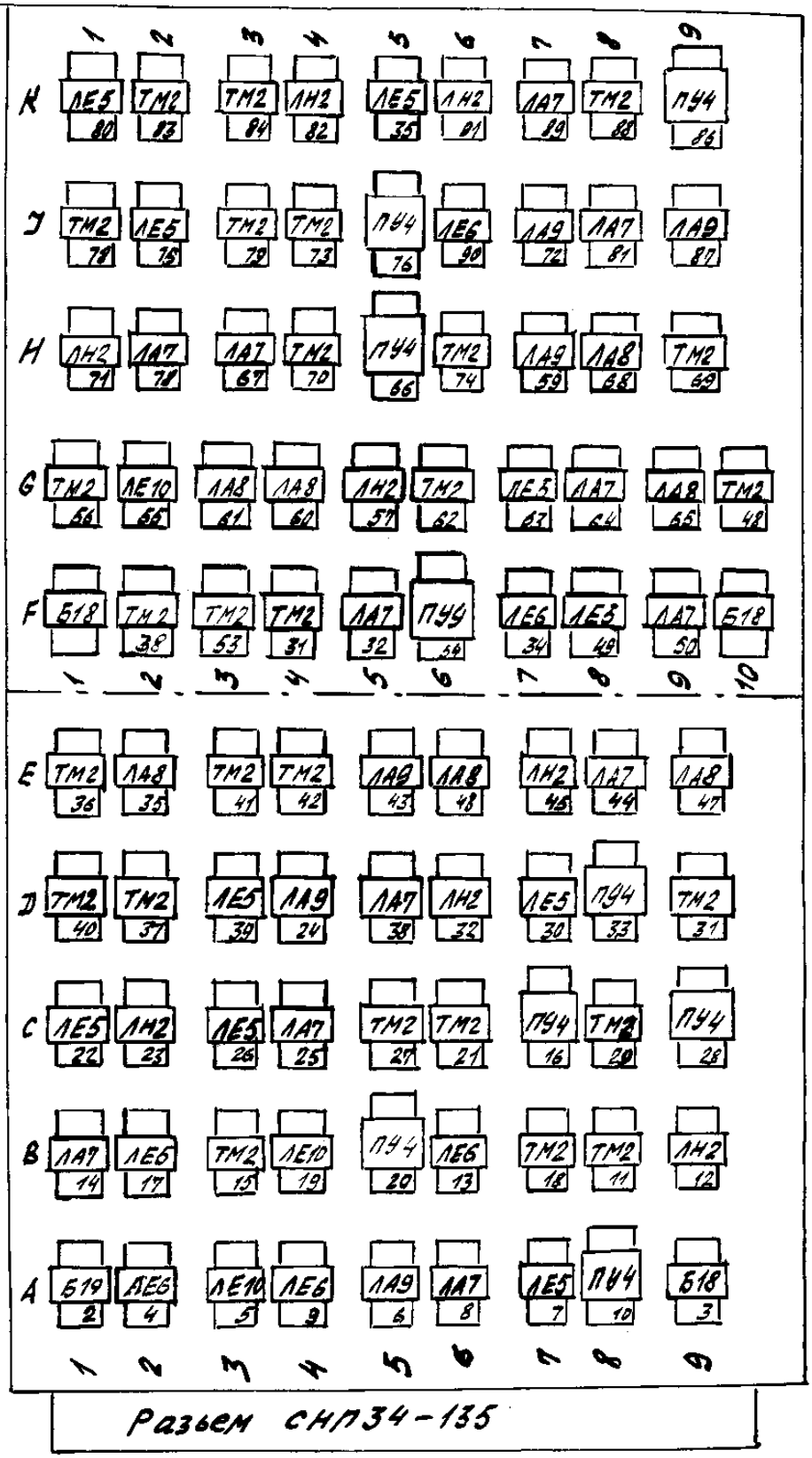
Фиг. 8



Авторы: Борцев В.М.

Подпись и дата | Инв. № дуб. | Взам. инв. № | Подпись и дата

Способ изготовления печатных плат и устройство для его осуществления



Фиг. 10.

Авторы: Борщев В.М.
Тороев А.А.
Мельничук И.Г.

Подпись и дата | Взам. инв. № | Инв. № дубл. | Подпись и дата

Устройство для компоновки печатных плат, еодеркащев * блоки' кодирования и считывания влекгнтов и связей схемы,
конструктивных данных к технологических ограничений» выходы • которых соединены с соответствующими входами блоков памяти» выходы которых соединены с соответствующими входами блока
"i.-t ' •
разделения и блока определения топологии печатной платы* выгод которого соединен с входом блока управления» о т л и -. ч а ю щ в е о я тем, что» с целью повышения плотности мои* ; тажа, надежности и технологичности, оно снабжено блоком оцен-,. ки результатов размещения для всех возможных перестановок кор пусов микросхем, выполненного в виде микропроцессора, снабженного буферным запоминающим блоком, первый - третий входы
''' ... ' V,.-, г* *"%**, 1 '
.*;>: которого соединены о соответствующими выходами блоков памя-
'*'•"-'-"- .x. * ^ , ,
• s /k i 'f *;
ти, четвертый вход буферного эапоминащего блока и первый выход
& *••" :•'.. '''''''>-• .
.микропроцессора соединены соответственно е первым выходом
I-, >i пятым входом блока сканирования и перестановки корпусов
Л- ;..'.<.-•••• *..'•:-.- •••'•-,.
' микросхем, а также терминалом и оперативным запоминающим
Ш%;*- ^.^" • '-'• • '• ' • . • . • '..
-% блоком, выход которого соединен со входом блока определения
ШК^'Х^ •' •-. *..
топологии печатной платы, а блок размещения выполнен в виде узла линейного упорядочения элементов и корпусов микросхем, вход которого соединен с выходом блока памяти элементов и свя зей, выход упомянутого узла соединен со вторым входом узла
• * - -ч • ' . • '
первоначального размещения люрпусов микросхем, размещающего лиуяейку корпусов микросхем в поле матрицы платы в виде "меандра", определяющего их координаты по формулам:

$$x = \begin{cases} n_i - (y_i - 1) M_x & y_i \text{ – нечетно} \\ M_x \cdot y_i - n_i + 1 & y_i \text{ – четно} \end{cases}$$

$$y = \left[\frac{n_i - 1}{M_x} \right] + 1 ,$$ где

К\ - номер позиции корпуса микросхемы в линейном размещении, Мх - количество мест в посадочном ряду по координате "X^1** оптимизирующего це^ую функцию Ll - ^ª* ^I" vAU\ У^-Vwax ^ -• W\u\ ^1\ , гд^ X О» ^ ~ координаты корпусов, принадлежащих t -той связи и выполненного в виде микропроцессора» снабженного буферным запоминающим блоком, первый вход которого соединен
>• * ' V
с выходом блока памяти конструктивных данны, и оперативным запоминающим блоком, выход-которого соединен с четвертым входом, блока сканирования и перестановки корпусов микросхем, выполненного ввдде микропроцессора, снабженного

буферным запоминаю

"-•*•'"

щим блоком, первый - третий входы которого соединены с сеют- .

ветсвующими выходами блоков памяти, регистра и оперативного i

: эапоминающего блока. ;

;>;Г:'. . ; - - ..•'..."• .4

'..Источники шфоршции, принятие во внимание при.экспер-

тиэе: . '• .' ' • •' ' >• - • . .;•

Патент США по кл», 3654*615 по кл» МКИ Н05К 3/00 /про

тотип/. ...

• " __.., /_____^

Зам. зав. отделом ^'--^~ъ^', В. Данилов

- * * "<<-^-~- - ' ' ' ' '"

^' Эксперт :__'^^ ^ в. Верченко

' •' '- • ' /У . '-. ••-•••• - - '•:••

'L-- '-."•

'^;-" " .'" > £- '

. -. "f^4439 -• t- -, ..--: ; ".

• ' '.'..О^Ш» 3 BfC3« '* \ .

' 1^..€ло»2-,3-Ёгу£с •,

- .&С."-3Г;"-»>'•'I7-АО - '-йсзк'

Верчдаяго ,;**:Й5йвкс«ц** 21 02 90

«